

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP2005/023699

International filing date: 19 December 2005 (19.12.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2005-097472
Filing date: 30 March 2005 (30.03.2005)

Date of receipt at the International Bureau: 30 January 2006 (30.01.2006)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 5 年 3 月 3 0 日

出 願 番 号
Application Number: 特 願 2 0 0 5 - 0 9 7 4 7 2

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号

The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

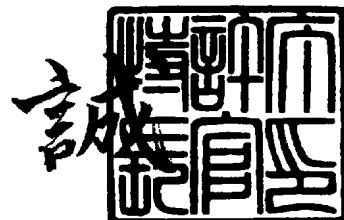
J P 2 0 0 5 - 0 9 7 4 7 2

出 願 人
Applicant(s): 株式会社リコー

2 0 0 6 年 1 月 1 1 日

特許庁長官
Commissioner,
Japan Patent Office

中 嶋



【書類名】	特許願
【整理番号】	200502431
【提出日】	平成17年 3月30日
【あて先】	特許庁長官殿
【国際特許分類】	H01L 21/8247 H01L 29/788
【発明者】	
【住所又は居所】	東京都大田区中馬込1丁目3番6号 株式会社リコー内
【氏名】	吉田 雅昭
【特許出願人】	
【識別番号】	000006747
【氏名又は名称】	株式会社リコー
【代理人】	
【識別番号】	100085464
【弁理士】	
【氏名又は名称】	野口 繁雄
【手数料の表示】	
【予納台帳番号】	037017
【納付金額】	16,000円
【提出物件の目録】	
【物件名】	特許請求の範囲 1
【物件名】	明細書 1
【物件名】	図面 1
【物件名】	要約書 1
【包括委任状番号】	9808801

【書類名】 特許請求の範囲

【請求項 1】

半導体基板上に形成されたメモリゲート酸化膜と前記メモリゲート酸化膜上に形成された電氣的に浮遊状態のポリシリコンからなる浮遊ゲートをもつMOSトランジスタからなるメモリトランジスタと、

前記半導体基板上に形成された選択ゲート酸化膜と前記選択ゲート酸化膜上に形成されたポリシリコンからなる選択ゲートをもち、前記メモリトランジスタに直列に接続されたMOSトランジスタからなる選択トランジスタを備えた不揮発性メモリセルと、

前記半導体基板上に形成された周辺回路ゲート酸化膜と前記周辺回路ゲート酸化膜上に形成されたポリシリコンからなる周辺回路ゲートをもつMOSトランジスタからなる周辺回路トランジスタを備え、

前記浮遊ゲートのポリシリコン内の不純物濃度は、前記周辺回路ゲートのポリシリコン内の不純物濃度よりも薄いことを特徴とする半導体装置。

【請求項 2】

前記選択ゲートのポリシリコン内の不純物濃度は前記浮遊ゲートのポリシリコン内の不純物濃度と同じである請求項 1 に記載の半導体装置。

【請求項 3】

前記選択ゲートのポリシリコン内の不純物濃度は前記周辺回路ゲートのポリシリコン内の不純物濃度と同じである請求項 1 に記載の半導体装置。

【請求項 4】

前記メモリゲート酸化膜、前記選択ゲート酸化膜及び前記周辺回路ゲート酸化膜の膜厚は同じである請求項 1、2 又は 3 に記載の半導体装置。

【請求項 5】

前記メモリゲート酸化膜の膜厚は前記周辺回路ゲート酸化膜の膜厚よりも薄く形成されている請求項 1、2 又は 3 に記載の半導体装置。

【請求項 6】

前記選択ゲート酸化膜の膜厚は前記メモリゲート酸化膜の膜厚と同じである請求項 5 に記載の半導体装置。

【請求項 7】

前記選択ゲート酸化膜の膜厚は前記周辺回路ゲート酸化膜の膜厚と同じである請求項 5 に記載の半導体装置。

【請求項 8】

前記メモリトランジスタ及び前記選択トランジスタはPMOSトランジスタである請求項 1 から 7 のいずれかに記載の半導体装置。

【請求項 9】

2 個以上の抵抗素子による分割によって電圧出力を得、ヒューズ素子の切断によって電圧出力を調整できる分割抵抗回路を備えた半導体装置において、

前記分割抵抗回路は、直列に接続された複数の抵抗値調整用抵抗素子と、前記ヒューズ素子として前記抵抗値調整用抵抗素子に対応して並列に接続された複数のヒューズ用MOSトランジスタと、請求項 1 から 8 のいずれかに記載の前記不揮発性メモリセル及び前記周辺回路トランジスタと、前記不揮発性メモリセルの記憶状態に応じて前記ヒューズ用MOSトランジスタのオンとオフを切り替えるための読出し回路を備え、

前記ヒューズ用MOSトランジスタもしくは前記読出し回路を構成するMOSトランジスタ又はその両方が前記周辺回路トランジスタにより構成されていることを特徴とする半導体装置。

【請求項 10】

入力電圧を分割して分割電圧を供給するための分割抵抗回路と、基準電圧を供給するための基準電圧発生回路と、前記分割抵抗回路からの分割電圧と前記基準電圧発生回路からの基準電圧を比較するための比較回路をもつ電圧検出回路を備えた半導体装置において、

前記分割抵抗回路として請求項 9 に記載の分割抵抗回路を備えていることを特徴とする

半導体装置。

【請求項 11】

入力電圧の出力を制御する出力ドライバと、出力電圧を分割して分割電圧を供給するための分割抵抗回路と、基準電圧を供給するための基準電圧発生回路と、前記分割抵抗回路からの分割電圧と前記基準電圧発生回路からの基準電圧を比較し、比較結果に応じて前記出力ドライバの動作を制御するための比較回路をもつ定電圧発生回路を備えた半導体装置において、

前記分割抵抗回路として請求項 9 に記載の分割抵抗回路を備えていることを特徴とする半導体装置。

【書類名】 明細書

【発明の名称】 半導体装置

【技術分野】

【０００１】

本発明は、浮遊ゲートをもつ不揮発性メモリセルと、ロジック回路などの周辺回路を備えた半導体装置に関するものである。このような半導体装置は、例えば分割抵抗回路や電圧検出回路、定電圧発生回路などを備えた半導体装置に適用される。

【背景技術】

【０００２】

ＥＥＰＲＯＭ（Electrically Erasable Programmable Read Only Memory）と称される不揮発性メモリの種類としては、使用ゲート数で大きく分けて、１層ゲート型と２層ゲート型の２種類がある。１層ゲート型としては、例えば特許文献１や特許文献２に記載の技術があり、２層ゲート型としては例えば特許文献３に記載の技術がある。

【０００３】

図３９に従来例として１層ゲート型の不揮発性メモリの平面図を示す。

P型の半導体基板（P基板）１０１に、N型拡散層１０３，１０５，１０７と、N型拡散層からなる制御ゲート１０９が形成されている。N型拡散層１０３と１０５は間隔をもって形成され、N型拡散層１０５と１０７は間隔をもって形成されている。

N型拡散層１０３と１０５の間の領域を含むP基板１０１上に、N型拡散層１０３及び１０５と一部重複して、ゲート酸化膜（図示は省略）を介して、ポリシリコン膜からなる選択ゲート１１１が形成されている。

【０００４】

N型拡散層１０５と１０７の間の領域を含むP基板１０１上及び制御ゲート１０９上に連続して、シリコン酸化膜（図示は省略）を介してポリシリコン膜からなる浮遊ゲート１１３が形成されている。N型拡散層１０５及び１０７付近の領域では浮遊ゲート１１３はメモリゲート酸化膜を介してN型拡散層１０５及び１０７と一部重複して配置されている。

【０００５】

この１層ゲート型の不揮発性メモリの書込み、すなわち浮遊ゲート１１３への電子の注入を行なう場合、N型拡散層１０３を０V（ボルト）、N型拡散層１０７を所定の電位 V_{pp} に設定し、制御ゲート１０９と選択ゲート１１１に所定の電位 V_{pp} を印加することによって行なわれる。これにより、N型拡散層１０３，１０５及び選択ゲート１１１により構成されるトランジスタがオンし、電子がN型拡散層１０５からメモリゲート酸化膜を介して浮遊ゲート１１３に注入される。

【０００６】

この１層ゲート型の不揮発性メモリの消去、すなわち浮遊ゲート１１３から電子の放出を行なう場合、制御ゲート１０９を０V、N型拡散層１０７をオープンに設定し、N型拡散層１０３と選択ゲート１１１に所定の電位 V_{pp} を印加することによって行なわれる。これにより、N型拡散層１０３，１０５及び選択ゲート１１１により構成されるトランジスタがオンし、トンネル効果によって浮遊ゲート１１３に注入されている電子がメモリゲート酸化膜を介してN型拡散層１０５に引き抜かれる。

【０００７】

図４０に従来例として２層ゲート型の不揮発性メモリの断面図を示す。

P基板１０１にN型拡散層１１７と１１９が間隔をもって形成されている。N型拡散層１１７と１１９の間のP基板１０１上に、N型拡散層１１７及び１１９と一部重複して、メモリゲート酸化膜１２１を介して、ポリシリコン膜からなる浮遊ゲート１２３が形成されている。浮遊ゲート１２３上に、シリコン酸化膜１２５を介して、ポリシリコン膜からなる制御ゲート１２７が形成されている。

【０００８】

この２層ゲート型の不揮発性メモリの書込み、すなわち浮遊ゲート１２３への電子の注

入を行なう場合、N型拡散層119を0V、N型拡散層117を所定の電位 V_{pp} に設定し、制御ゲート127に所定の電位 V_{pp} を印加することによって行なわれる。これにより、電子がN型拡散層119からメモリゲート酸化膜121を介して浮遊ゲート123に注入される。

【0009】

この2層ゲート型の不揮発性メモリの消去、すなわち浮遊ゲート123から電子の放出を行なう場合、制御ゲート127を0V、N型拡散層117をオープンに設定し、N型拡散層119に所定の電位 V_{pp} を印加することによって行なわれる。これにより、トンネル効果によって浮遊ゲート123に注入されている電子がメモリゲート酸化膜121を介してN型拡散層119に引き抜かれる。

【0010】

また、不揮発性メモリセルとして、制御ゲートを備えていないものが知られている（例えば、特許文献4及び特許文献5を参照。）。

図41に制御ゲートを備えていない不揮発性メモリの（A）平面図及び（B）断面図を示す。図39、図40と同じ機能を果たす部分には同じ符号を付す。

【0011】

P基板101に、N型拡散層103、105、107が形成されている。N型拡散層103と105は間隔をもって形成され、N型拡散層105と107は間隔をもって形成されている。

N型拡散層103と105の間の領域を含むP基板101上に、N型拡散層103及び105と一部重複して、ゲート酸化膜129を介して、ポリシリコン膜からなる選択ゲート111が形成されて、選択トランジスタが形成されている。

N型拡散層105と107の間の領域を含むP基板101上に、メモリゲート酸化膜121を介してポリシリコン膜からなる浮遊ゲート123が形成されて、メモリトランジスタが形成されている。N型拡散層105及び107付近の領域では浮遊ゲート123はメモリゲート酸化膜を介してN型拡散層105及び107と一部重複して配置されている。

【0012】

この不揮発性メモリの消去、すなわち浮遊ゲート123から電子の放出を行なう場合、例えば浮遊ゲート123に紫外線が照射されることで、メモリトランジスタの浮遊ゲート123が電荷の無い状態に初期化される。

また、N型拡散層103を0Vに設定し、N型拡散層107と選択ゲート111を所定の電位 V_{pp} 、例えば7Vに設定することによって行なわれる。これにより、N型拡散層103、105及び選択ゲート111により構成される選択トランジスタがオンし、トンネル効果によって浮遊ゲート123に注入されている電子がメモリゲート酸化膜121を介してN型拡散層105に引き抜かれる。この場合、N型拡散層103と浮遊ゲート123とは十分に重複して配置されていることが必要とされている。そのために、浮遊ゲート123の下方でN型拡散層105側には埋込み型のN型拡散層が設定されている（特許文献4）。

【0013】

この不揮発性メモリの書込み、すなわち浮遊ゲート123への電子の注入を行なう場合、N型拡散層107を0V、N型拡散層103に V_{pp} 、例えば4.5Vを与え、選択ゲート111を所定の電位 V_{on} 、例えば2Vに設定することによって行なわれる。これにより、N型拡散層103、105及び選択ゲート111により構成される選択トランジスタがオンし、電子がN型拡散層105からメモリゲート酸化膜121を介して浮遊ゲート123に注入される。この場合も、消去時と同様に埋込み型のN型拡散層が必要である。

【0014】

また、特許文献5には、ロジック回路などの周辺回路を構成するMOS（Metal Oxide of Silicon）トランジスタのゲート酸化膜を、選択トランジスタのゲート酸化膜及びメモリトランジスタのゲート酸化膜と同じ膜厚にすることが開示されている。

【0015】

【特許文献1】特開平6－85275号公報

【特許文献2】特表平8－506693号公報

【特許文献3】特公平4－80544号公報

【特許文献4】特開2003－168747号公報

【特許文献5】特開2004－31920号公報

【発明の開示】

【発明が解決しようとする課題】

【0016】

特許文献5に開示されているように、制御ゲートを備えていないメモリトランジスタ、選択トランジスタ及び周辺回路トランジスタを本願発明者が試作して評価したところ、電荷保持特性が悪いことが分かった。その原因は主に浮遊ゲートのポリシリコン内の不純物濃度が濃いためであることがわかった。

【0017】

そこで本発明は、浮遊ゲートをもち制御ゲートを備えていないメモリトランジスタ及び選択トランジスタからなる不揮発性メモリセルと、周辺回路トランジスタを備えた半導体装置において、メモリトランジスタの電荷保持特性を向上させることを目的とするものである。

【課題を解決するための手段】

【0018】

本発明にかかる半導体装置は、半導体基板上に形成されたメモリゲート酸化膜と上記メモリゲート酸化膜上に形成された電氣的に浮遊状態のポリシリコンからなる浮遊ゲートをもつMOSトランジスタからなるメモリトランジスタと、上記半導体基板上に形成された選択ゲート酸化膜と上記選択ゲート酸化膜上に形成されたポリシリコンからなる選択ゲートをもち、上記メモリトランジスタに直列に接続されたMOSトランジスタからなる選択トランジスタを備えた不揮発性メモリセルと、上記半導体基板上に形成された周辺回路ゲート酸化膜と上記周辺回路ゲート酸化膜上に形成されたポリシリコンからなる周辺回路ゲートをもつMOSトランジスタからなる周辺回路トランジスタを備え、上記浮遊ゲートのポリシリコン内の不純物濃度は、上記周辺回路ゲートのポリシリコン内の不純物濃度よりも薄いものである。

【0019】

本発明の半導体装置において、上記選択ゲートのポリシリコン内の不純物濃度は上記浮遊ゲートのポリシリコン内の不純物濃度と同じである例を挙げることができる。

【0020】

また、上記選択ゲートのポリシリコン内の不純物濃度は上記周辺回路ゲートのポリシリコン内の不純物濃度と同じである例を挙げることができる。

【0021】

また、上記メモリゲート酸化膜、上記選択ゲート酸化膜及び上記周辺回路ゲート酸化膜の膜厚は同じである例を挙げることができる。

【0022】

また、上記メモリゲート酸化膜の膜厚は上記周辺回路ゲート酸化膜の膜厚よりも薄く形成されているようにしてもよい。

その態様において、上記選択ゲート酸化膜の膜厚は上記メモリゲート酸化膜の膜厚と同じであるようにしてもよい。

又は、上記選択ゲート酸化膜の膜厚は上記周辺回路ゲート酸化膜の膜厚と同じであるようにしてもよい。

【0023】

本発明の半導体装置において、上記メモリトランジスタ及び上記選択トランジスタはPMOSトランジスタ（PチャネルMOSトランジスタ）である例を挙げることができる。

【0024】

本発明の半導体装置が適用される例として、2個以上の抵抗素子による分割によって電

圧出力を得、ヒューズ素子の切断によって電圧出力を調整できる分割抵抗回路を備えた半導体装置を挙げることができる。その半導体装置を構成する分割抵抗回路は、直列に接続された複数の抵抗値調整用抵抗素子と、上記ヒューズ素子として上記抵抗値調整用抵抗素子に対応して並列に接続された複数のヒューズ用MOSトランジスタと、本発明を構成する上記不揮発性メモリセル及び上記周辺回路トランジスタと、上記不揮発性メモリセルの記憶状態に応じて上記ヒューズ用MOSトランジスタのオンとオフを切り替えるための読出し回路を備え、上記ヒューズ用MOSトランジスタもしくは上記読出し回路を構成するMOSトランジスタ又はその両方が上記周辺回路トランジスタにより構成されている。

【0025】

本発明の半導体装置が適用される他の例として、入力電圧を分割して分割電圧を供給するための分割抵抗回路と、基準電圧を供給するための基準電圧発生回路と、上記分割抵抗回路からの分割電圧と上記基準電圧発生回路からの基準電圧を比較するための比較回路をもつ電圧検出回路を備えた半導体装置を挙げることができる。その分割抵抗回路として、本発明が適用された上記分割抵抗回路を備えている。

【0026】

本発明の半導体装置が適用されるさらに他の例として、入力電圧の出力を制御する出力ドライバと、出力電圧を分割して分割電圧を供給するための分割抵抗回路と、基準電圧を供給するための基準電圧発生回路と、上記分割抵抗回路からの分割電圧と上記基準電圧発生回路からの基準電圧を比較し、比較結果に応じて上記出力ドライバの動作を制御するための比較回路をもつ定電圧発生回路を備えた半導体装置を挙げることができる。その分割抵抗回路として、本発明が適用された上記分割抵抗回路を備えている。

【発明の効果】

【0027】

本発明の半導体装置では、浮遊ゲートをもち制御ゲートを備えていないメモリトランジスタ及び選択トランジスタからなる不揮発性メモリセルと、周辺回路トランジスタを備えた半導体装置において、浮遊ゲートのポリシリコン内の不純物濃度は、周辺回路ゲートのポリシリコン内の不純物濃度よりも薄いようにしたので、浮遊ゲートのポリシリコン内の不純物濃度を薄く、例えば実質的な不純物濃度が $1.0 \times 10^{20} \text{ atoms/cm}^3$ よりも薄くしてメモリトランジスタの電荷保持特性を向上させることができる。さらに、周辺回路ゲートに関してポリシリコン内の不純物濃度を浮遊ゲートよりも濃くすることができるので、周辺回路ゲートの抵抗を十分低くすることができ、周辺回路トランジスタの処理速度が低下するのを防止することができる。

【0028】

本発明の半導体装置において、選択ゲートのポリシリコン内の不純物濃度は浮遊ゲートのポリシリコン内の不純物濃度と同じであるようにすれば、両ゲートを同時に形成することができ、選択ゲート、浮遊ゲート及び周辺回路ゲートをそれぞれ別々の工程で形成する場合に比べて製造工程を少なくすることができる。

【0029】

また、選択ゲートのポリシリコン内の不純物濃度は周辺回路ゲートのポリシリコン内の不純物濃度と同じであるようにすれば、両ゲートを同時に形成することができ、選択ゲート、浮遊ゲート及び周辺回路ゲートをそれぞれ別々の工程で形成する場合に比べて製造工程を少なくすることができる。

【0030】

また、メモリゲート酸化膜、選択ゲート酸化膜及び周辺回路ゲート酸化膜の膜厚は同じであるようにすれば、これらのゲート酸化膜を同時に形成することができ、それぞれのゲート酸化膜を別々の工程で形成する場合に比べて製造工程を少なくすることができる。

【0031】

ところで、特許文献5に開示されているように、制御ゲートを備えていないメモリトランジスタ、選択トランジスタ及び周辺回路トランジスタにおいて、ゲート酸化膜厚を同じにした場合、ゲート酸化膜をサブハーフレベル、例えば7.5 nm（ナノメートル）程度

の膜厚で形成したとき、メモリトランジスタのメモリゲート酸化膜は同様に7.5 nmとなる。この場合、本願発明者の検証によると良好な書込み特性を得るためには、 V_{pp} として6～7 V以上必要であることがわかった。

【0032】

しかし、メモリトランジスタの書き込み時に、メモリへ V_{pp} を印加するための周辺回路トランジスタにも例えば6～7 V以上の電圧が印加されることが必要である。その場合、膜厚が7.5 nmと薄い周辺回路トランジスタのゲート酸化膜に10 MV/cm（メガボルト／センチメートル）に達する電界をかけることになり、周辺回路ゲート酸化膜の損傷のおそれがあり、半導体装置の歩留まりや信頼性の低下を招く虞れがあった。

また、本願発明者の検証では、ゲート酸化膜厚が7.5 nmであるNMOSトランジスタ（NチャネルMOSトランジスタ）のスナップバック電圧はちょうど上記 V_{pp} と同程度の6～7 V程度であるため、書込みのために周辺回路を損傷してしまう可能性が高い。この面からも半導体装置の歩留まりや信頼性の低下を招く虞れがあった。

【0033】

このような不具合を防止するために、メモリトランジスタ、選択トランジスタ及び周辺回路トランジスタのゲート酸化膜をハーフレベル、例えば13.5 nm程度の膜厚で形成したとしても、ゲート酸化膜厚が厚くなった分、書込み電圧 V_{pp} が上昇してしまうため、サブハーフレベルでの上記問題が解決されるわけではない。つまり、ゲート酸化膜厚を13.5 nm程度の膜厚で形成し、 V_{pp} を6～7 Vとした場合、周辺回路ゲート酸化膜の損傷は防止できるが、メモリトランジスタのメモリゲート酸化膜は13.5 nmと膜厚が厚いので良好な書込み特性を得られない虞れがあった。

【0034】

そこで、本発明の半導体装置においてメモリゲート酸化膜の膜厚は周辺回路ゲート酸化膜の膜厚よりも薄く形成されているようにすれば、メモリトランジスタの書き込み時に周辺回路ゲート酸化膜が損傷しない程度に周辺回路ゲート酸化膜厚を厚くし、メモリトランジスタの良好な書込み特性が得られる程度にメモリゲート酸化膜厚を薄くすることができ、周辺回路ゲート酸化膜の損傷を防止しつつ、またスナップバック破壊を起こさずに、メモリトランジスタの良好な書込みを行なうことができる。

【0035】

メモリトランジスタ及び選択トランジスタはPMOSトランジスタ（書込み電圧6～7 V）であるようにすれば、NMOSトランジスタからなるメモリトランジスタ（書込み電圧10 V程度）を用いる場合に比べて、書込みのためにいわゆる制御ゲートを用いる必要がなく、書込み電圧を低くすることができる。ただし、メモリトランジスタ及び選択トランジスタはPMOSトランジスタに限定されるものではなく、両トランジスタとしてNMOSトランジスタを用いてもよい。

【0036】

メモリゲート酸化膜の膜厚が周辺回路ゲート酸化膜の膜厚よりも薄く形成されている態様において、選択ゲート酸化膜の膜厚はメモリゲート酸化膜の膜厚と同じであるようにすれば、両ゲート酸化膜を同時に形成することができ、選択ゲート酸化膜、メモリゲート酸化膜及び周辺回路ゲート酸化膜をそれぞれ別々の工程で形成する場合に比べて製造工程を少なくすることができる。

【0037】

また、選択ゲート酸化膜の膜厚は周辺回路ゲート酸化膜の膜厚と同じであるようにすれば、両ゲート酸化膜を同時に形成することができ、選択ゲート酸化膜、メモリゲート酸化膜及び周辺回路ゲート酸化膜をそれぞれ別々の工程で形成する場合に比べて製造工程を少なくすることができる。さらに、選択ゲート酸化膜厚とメモリゲート酸化膜厚が同じである場合に比べて、選択ゲート酸化膜厚が厚いので選択トランジスタの耐圧を向上させることができる。

【0038】

また、本発明の半導体装置において、メモリトランジスタ及び選択トランジスタはPM

OSトランジスタ（書込み電圧6～7 V）であるようにすれば、NMOSトランジスタからなるメモリトランジスタ（書込み電圧10 V程度）を用いる場合に比べて、書込みのためにいわゆる制御ゲートを用いる必要がなく、書込み電圧を低くすることができる。ただし、メモリトランジスタ及び選択トランジスタはPMOSトランジスタに限定されるものではなく、両トランジスタとしてNMOSトランジスタを用いてもよい。

【0039】

2個以上の抵抗素子による分割によって電圧出力を得、ヒューズ素子の切断によって電圧出力を調整できる分割抵抗回路を備えた半導体装置において、分割抵抗回路は、直列に接続された複数の抵抗値調整用抵抗素子と、ヒューズ素子として抵抗値調整用抵抗素子に対応して並列に接続された複数のヒューズ用MOSトランジスタと、本発明を構成する不揮発性メモリセル及び周辺回路トランジスタと、不揮発性メモリセルの記憶状態に応じてヒューズ用MOSトランジスタのオンとオフを切り替えるための読出し回路を備え、ヒューズ用MOSトランジスタもしくは読出し回路を構成するMOSトランジスタ又はその両方が周辺回路トランジスタにより構成されているようにすれば、良好な書込み特性をもつ不揮発性メモリセルの記憶状態に応じて分割抵抗回路の出力電圧を調整することができる。さらに、不揮発性メモリセルの記憶状態を変更することにより、分割抵抗回路の出力電圧を再設定することができる。

【0040】

入力電圧を分割して分割電圧を供給するための分割抵抗回路と、基準電圧を供給するための基準電圧発生回路と、分割抵抗回路からの分割電圧と基準電圧発生回路からの基準電圧を比較するための比較回路をもつ電圧検出回路を備えた半導体装置において、分割抵抗回路として本発明が適用された分割抵抗回路を備えているようにすれば、不揮発性メモリセルの記憶状態を変更することにより電圧検出回路の出力電圧設定の変更ができる。

【0041】

入力電圧の出力を制御する出力ドライバと、出力電圧を分割して分割電圧を供給するための分割抵抗回路と、基準電圧を供給するための基準電圧発生回路と、分割抵抗回路からの分割電圧と基準電圧発生回路からの基準電圧を比較し、比較結果に応じて出力ドライバの動作を制御するための比較回路をもつ定電圧発生回路を備えた半導体装置において、分割抵抗回路として本発明が適用された分割抵抗回路を備えているようにすれば、不揮発性メモリセルの記憶状態を変更することにより定電圧発生回路の出力電圧設定の変更ができる。

【発明を実施するための最良の形態】

【0042】

図1は、第1実施例を示す図であり、(A)はメモリセルの平面図、(B)は周辺回路トランジスタの平面図、(C)のA-A'位置での断面図、(D)は(B)のB-B'位置での断面図である。図1を参照してこの実施例を説明する。

【0043】

P基板1の所定の領域にNウェル2が形成されている。P基板1表面に素子分離のためのフィールド酸化膜3が例えば450～700 nm、ここでは500 nmの膜厚で形成されている。フィールド酸化膜3に囲まれた領域のNウェル2内にP型拡散層5、7、9が形成されている。P型拡散層5と7は間隔をもって形成され、P型拡散層7と9は間隔をもって形成されている。

【0044】

P型拡散層5と7の間の領域を含むP基板1上に、膜厚が例えば10.0～15.0 nm、ここでは13.5 nmの選択ゲート酸化膜11が形成されている。選択ゲート酸化膜11上に、P型拡散層5及び7と一部重複して、膜厚が例えば250～450 nm、ここでは350 nmのポリシリコン膜からなる選択ゲート13が形成されている。選択ゲート13には例えばN型不純物としてリンが導入されており、実質的なリン濃度は $7.0 \times 10^{18} \sim 5.0 \times 10^{19} \text{ atoms/cm}^3$ である。P型拡散層5、7、選択ゲート酸化膜11及び選択ゲート13は選択トランジスタを構成する。

【0045】

P型拡散層7と9の間の領域を含むP基板1表面に、膜厚が例えば10.0～15.0nm、ここでは13.5nmのメモリゲート酸化膜15が形成されている。メモリゲート酸化膜15上に、P型拡散層7及び9と一部重複して、膜厚が例えば250～450nm、ここでは350nmのポリシリコン膜からなる浮遊ゲート17が形成されている。浮遊ゲート17には例えばN型不純物としてリンが導入されており、実質的なリン濃度は $7.0 \times 10^{18} \sim 5.0 \times 10^{19} \text{ atoms/cm}^3$ である。P型拡散層7、9、メモリゲート酸化膜15及び浮遊ゲート17はメモリトランジスタを構成する。

選択トランジスタ及びメモリトランジスタはメモリセルを構成する。

【0046】

メモリセルとは異なる領域の、フィールド酸化膜3に囲まれた領域のNウェル2内にP型拡散層19、21が形成されている。P型拡散層19と21は間隔をもって形成されている。

P型拡散層19と21の間の領域を含むP基板1上に、膜厚が例えば10.0～15.0nm、ここでは13.5nmの周辺回路ゲート酸化膜23が形成されている。周辺回路ゲート酸化膜23上に、P型拡散層19及び21と一部重複して、膜厚が例えば250～450nm、ここでは350nmのポリシリコン膜からなる周辺回路ゲート25が形成されている。周辺回路ゲート25には例えばN型不純物としてリンが選択ゲート13及び浮遊ゲート17よりも高濃度に導入されており、実質的なリン濃度は $1.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である。P型拡散層19、21、周辺回路ゲート酸化膜23及び周辺回路ゲート25は周辺回路トランジスタを構成する。

【0047】

この実施例では、浮遊ゲート17の不純物濃度は、周辺回路ゲート25の不純物濃度よりも薄く形成されているので、メモリトランジスタの電荷保持特性を向上させることができる。

さらに、周辺回路ゲート25の不純物濃度を浮遊ゲート17よりも濃くしているので、周辺回路ゲート25の抵抗を十分低くすることができ、周辺回路トランジスタの処理速度が低下するのを防止することができる。

【0048】

図2はメモリトランジスタの電荷保持特性を調べた結果を示す図である。縦軸はメモリトランジスタのしきい値電圧（単位はボルト（V））、横軸は経過時間（単位は時間（h））を示す。ここでは、加熱温度を250度で行なった。サンプルとして浮遊ゲートの実質的なリン濃度が $3.0 \times 10^{19} \text{ atoms/cm}^3$ であるもの（本発明）と、比較例として浮遊ゲートの実質的なリン濃度が $1.0 \times 10^{20} \text{ atoms/cm}^3$ 以上のもの（従来例）を用いた。従来例の浮遊ゲートにはリン堆積及び熱拡散によってリンを導入した。

【0049】

図2から、浮遊ゲートにリンを高濃度に導入した従来例に比べて、浮遊ゲートのリン濃度を薄くした本発明のメモリトランジスタの電荷保持特性が向上しているのが分かる。

【0050】

図3は、第1実施例のメモリセルをマトリクス配置した場合の一例を示す回路図である。この回路構成は以下に説明する各実施例にも適用できる。

メモリセルがマトリクス配置されている。横方向（ワードラインWL方向）に並ぶセル $i0, i1, \dots$ の選択ゲート13は共通のワードラインWL i に電気的に接続されている。また、P型拡散層5は共通のソースラインSL i に電気的に接続されている。縦方向（ビットラインBit方向）に並ぶセル $0i, 1i, \dots$ のP型拡散層9は共通のビットラインBit i に電気的に接続されている。ここで、 i は0又は自然数である。

【0051】

消去時は、紫外線照射により、すべてのセルを一括消去するようにする。

書込み時、例えばセル00のみを書き込む場合、書込みするセル00に接続されたワードラインWL0とビットラインBit0を所定の電位 $-V_{pp}$ にバイアスし、他のワード

ラインW L i 及び他のビットラインB i t i また、ソースラインS L i は0 Vにバイアスする。これにより、セル0 0の浮遊ゲート1 7にメモリゲート酸化膜を介して電子が注入されて、書込みされる。

【0 0 5 2】

図4は、第1実施例を製造するための製造方法の一例を説明するための工程断面図であり、図1のA-A'位置及びB-B'位置に対応している。図1及び図4を参照してこの製造方法例を説明する。

【0 0 5 3】

(1) P基板1にNウェル2を形成した後、P基板1上に通常のL O C O S (local oxidation of silicon) 法によりフィールド酸化膜3 (図1を参照。)を形成して素子分離を行なう。フィールド酸化膜3により画定された活性領域表面に例えば1 3. 5 n mの膜厚でゲート酸化膜1 1, 1 5, 2 3を形成し、チャネルドープ注入を行なう。P基板1上全面にノンドープポリシリコン膜を形成し、イオン注入法により、ノンドープポリシリコン膜に例えばリンを $5. 0 \times 10^{15} \text{ atoms/cm}^2$ の注入量で注入してポリシリコン膜2 7を形成する(図4 (A) 参照。)

【0 0 5 4】

(2) ポリシリコン膜2 7上に、メモリトランジスタ及び選択トランジスタ領域の形成領域を覆い、周辺回路トランジスタの形成領域に開口部をもつH T O (High Temperature oxide) 膜2 9を形成する。ポリシリコン膜2 7上及びH T O膜2 9上にP S G (phosphosilicate glass、図示は省略)を堆積し、周辺回路トランジスタの形成領域のポリシリコン膜2 7にリンを熱拡散させてポリシリコン膜3 1を形成する(図4 (B) 参照。)

【0 0 5 5】

(3) P S G及びH T O膜2 9を除去した後、写真製版技術及びエッチング技術により、ポリシリコン膜2 7から、選択トランジスタ領域のフィールド酸化膜3上及び選択ゲート酸化膜1 1上に選択ゲート1 3を形成し、メモリトランジスタ領域のフィールド酸化膜3上及びメモリゲート酸化膜1 5上に浮遊ゲート1 7を形成し、ポリシリコン膜3 1から、周辺回路トランジスタ領域のフィールド酸化膜3上及び周辺回路ゲート酸化膜2 3上に周辺回路ゲート2 5を形成する(図4 (C) 参照。)

ここで、P S G及びH T O膜2 9を除去した後、全面にH T O膜を形成し、写真製版技術及びエッチング技術によりH T O膜及びポリシリコン膜2 7, 3 1をパターニングして、選択ゲート1 3上、浮遊ゲート1 7上及び周辺回路ゲート2 5上にH T O膜パターンを形成しておき、後工程でのB F₂注入工程において選択ゲート1 3、浮遊ゲート1 7及び周辺回路ゲート2 5にB F₂が注入されないようにしてもよい。後述する各製造方法例においても、パターニング後のポリシリコンゲートに不純物注入を注入したくない場合は、パターニング前のポリシリコン膜上に不純物注入防止膜、例えばH T O膜を形成しておき、不純物注入防止膜及びポリシリコン膜をパターニングして不純物注入防止膜とポリシリコンゲートの積層パターンを形成するようにすれば、パターニング後の工程においてポリシリコンゲートに不純物注入が注入されるのを防止することができる。

【0 0 5 6】

(4) イオン注入法により、選択ゲート1 3、浮遊ゲート1 7及び周辺回路ゲート2 5をマスクにしてB F₂の注入を行なってP型拡散層5, 7, 9, 1 9, 2 1を形成する(図1参照。)

【0 0 5 7】

第1実施例では、選択ゲート1 3の不純物濃度は浮遊ゲート1 7と同じであるので、両ゲート1 3, 1 7を同時に形成することができ、選択ゲート1 3、浮遊ゲート1 7及び周辺回路ゲート2 5をそれぞれ別々の工程で形成する場合に比べて製造工程を少なくすることができる。

【0 0 5 8】

図5は、第2実施例を示す図であり、(A)はメモリセルの平面図、(B)は周辺回路トランジスタの平面図、(C)のA-A'位置での断面図、(D)は(B)のB-B'位置

での断面図である。図 1 と同じ部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

【 0 0 5 9 】

この実施例が図 1 を参照して説明した第 1 実施例と異なる点は、選択ゲート 3 3 及び浮遊ゲート 3 5 のポリシリコン内に例えば P 型不純物としてボロンが導入されており、リンは導入されていない点である。選択ゲート 3 3 及び浮遊ゲート 3 5 のボロン濃度は例えば $7.0 \times 10^{18} \sim 5.0 \times 10^{19} \text{ atoms/cm}^3$ である。

【 0 0 6 0 】

この実施例では、浮遊ゲート 3 5 の不純物濃度は、周辺回路ゲート 2 5 の不純物濃度よりも薄く形成されているので、メモリトランジスタの電荷保持特性を向上させることができる。

さらに、周辺回路ゲート 2 5 の不純物濃度を浮遊ゲート 3 5 よりも濃くしているので、周辺回路ゲート 2 5 の抵抗を十分低くすることができ、周辺回路トランジスタの処理速度が低下するのを防止することができる。

【 0 0 6 1 】

図 6 は、第 2 実施例を製造するための製造方法の一例を説明するための工程断面図であり、図 5 の A-A' 位置及び B-B' 位置に対応している。図 5 及び図 6 を参照してこの製造方法例を説明する。

【 0 0 6 2 】

(1) 図 4 (A) を参照して説明した上記工程 (1) と同様の工程により、P 基板 1 に N ウェル 2、フィールド酸化膜 3 (図 5 を参照。)、ゲート酸化膜 1 1, 1 5, 2 3 を形成し、チャネルドープ注入を行なった後、P 基板 1 上全面に N ドープポリシリコン膜 3 7 を形成する (図 6 (A) 参照。)

【 0 0 6 3 】

(2) N ドープポリシリコン膜 3 7 上に、メモリトランジスタ及び選択トランジスタ領域の形成領域を覆い、周辺回路トランジスタの形成領域に開口部をもつ HTO 膜 2 9 を形成する。ポリシリコン膜 2 7 上及び HTO 膜 2 9 上に PSG (図示は省略) を堆積し、周辺回路トランジスタの形成領域の N ドープポリシリコン膜 3 7 にリンを熱拡散させてポリシリコン膜 3 1 を形成する (図 6 (B) 参照。)

【 0 0 6 4 】

(3) PSG 及び HTO 膜 2 9 を除去した後、写真製版技術及びエッチング技術により、N ドープポリシリコン膜 3 7 から、選択トランジスタ領域のフィールド酸化膜 3 上及び選択ゲート酸化膜 1 1 上に選択ゲート 3 3 を形成し、メモリトランジスタ領域のフィールド酸化膜 3 上及メモリゲート酸化膜 1 5 上に浮遊ゲート 3 5 を形成し、ポリシリコン膜 3 1 から、周辺回路トランジスタ領域のフィールド酸化膜 3 上及び周辺回路ゲート酸化膜 2 3 上に周辺回路ゲート 2 5 を形成する (図 6 (C) 参照。)

【 0 0 6 5 】

(4) イオン注入法により、選択ゲート 3 3、浮遊ゲート 3 5 及び周辺回路ゲート 2 5 をマスクにして例えば $3.0 \sim 5.0 \times 10^{15} \text{ atoms/cm}^3$ の注入量で BF_2 の注入を行なって P 型拡散層 5, 7, 9, 1 9, 2 1 を形成するとともに、選択ゲート 3 3 及び浮遊ゲート 3 5 にボロンの注入を行なう (図 5 参照。)

【 0 0 6 6 】

第 2 実施例では、選択ゲート 3 3 の不純物濃度は浮遊ゲート 3 5 と同じであるので、両ゲート 3 3, 3 5 を同時に形成することができ、選択ゲート 3 3、浮遊ゲート 3 5 及び周辺回路ゲート 2 5 をそれぞれ別々の工程で形成する場合に比べて製造工程を少なくすることができる。

【 0 0 6 7 】

図 7 は、第 3 実施例を示す図であり、(A) はメモリセルの平面図、(B) は周辺回路トランジスタの平面図、(C) の A-A' 位置での断面図、(D) は (B) の B-B' 位置での断面図である。図 1 と同じ部分には同じ符号を付し、それらの部分の詳細な説明は省

略する。

【0068】

この実施例が図1を参照して説明した第1実施例と異なる点は、選択ゲート39は周辺回路ゲート25と同時に形成されたものであり、選択ゲート39に例えばN型不純物としてリンが浮遊ゲート17よりも高濃度に導入されており、実質的なリン濃度は $1.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である点である。

【0069】

この実施例では、図1を参照して説明した上記第1実施例と同様に、浮遊ゲート17の不純物濃度は、周辺回路ゲート25の不純物濃度よりも薄く形成されているので、メモリトランジスタの電荷保持特性を向上させることができる。

さらに、周辺回路ゲート25及び選択ゲート39の不純物濃度を浮遊ゲート17よりも濃くしているので、周辺回路ゲート25及び選択ゲート39の抵抗を十分低くすることができ、周辺回路トランジスタ及び選択トランジスタの処理速度が低下するのを防止することができる。

【0070】

図8は、第3実施例を製造するための製造方法の一例を説明するための工程断面図であり、図7のA-A'位置及びB-B'位置に対応している。図7及び図8を参照してこの製造方法例を説明する。

【0071】

(1) 図4(A)を参照して説明した上記工程(1)と同じ工程により、P基板1にNウェル2、フィールド酸化膜3(図7を参照。)、ゲート酸化膜11、15、23及びポリシリコン膜27を形成する(図8(A)参照。)。

【0072】

(2) ポリシリコン膜27上に、メモリトランジスタの形成領域を覆い、周辺回路トランジスタ及び選択トランジスタ領域の形成領域に開口部をもつHTO膜39を形成する。ポリシリコン膜27上及びHTO膜39上にPSG(図示は省略)を堆積し、周辺回路トランジスタ及び選択トランジスタ領域の形成領域のポリシリコン膜27にリンを熱拡散させてポリシリコン膜31を形成する(図8(B)参照。)。

【0073】

(3) PSG及びHTO膜39を除去した後、写真製版技術及びエッチング技術により、ポリシリコン膜27から、メモリトランジスタ領域のフィールド酸化膜3上及びメモリゲート酸化膜15上に浮遊ゲート17を形成し、ポリシリコン膜31から、選択トランジスタ領域のフィールド酸化膜3上及び選択ゲート酸化膜11上に選択ゲート39を形成し、周辺回路トランジスタ領域のフィールド酸化膜3上及び周辺回路ゲート酸化膜23上に周辺回路ゲート25を形成する(図8(C)参照。)。

ここで、PSG及びHTO膜29を除去した後、全面にHTO膜を形成し、写真製版技術及びエッチング技術によりHTO膜及びポリシリコン膜27、31をパターンニングして、選択ゲート39上、浮遊ゲート17上及び周辺回路ゲート25上にHTO膜パターンを形成しておき、後工程でのBF₂注入工程において選択ゲート39、浮遊ゲート17及び周辺回路ゲート25にBF₂が注入されないようにしてもよい。

【0074】

(4) イオン注入法により、選択ゲート13、浮遊ゲート17及び周辺回路ゲート25をマスクにしてBF₂の注入を行なってP型拡散層5、7、9、19、21を形成する(図7参照。)。

【0075】

第3実施例では、選択ゲート39の不純物濃度は周辺回路ゲート25と同じであるので、両ゲート25、37を同時に形成することができ、選択ゲート39、浮遊ゲート17及び周辺回路ゲート25をそれぞれ別々の工程で形成する場合に比べて製造工程を少なくすることができる。

【0076】

図 9 は、第 4 実施例を示す図であり、(A) はメモリセルの平面図、(B) は周辺回路トランジスタの平面図、(C) の A-A' 位置での断面図、(D) は (B) の B-B' 位置での断面図である。図 1、図 5 及び図 7 と同じ部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

【0077】

この実施例が図 5 を参照して説明した第 2 実施例と異なる点は、選択ゲート 3 9 は周辺回路ゲート 2 5 と同時に形成されたものであり、選択ゲート 3 9 に例えば N 型不純物としてリンが浮遊ゲート 3 5 よりも高濃度に導入されており、実質的なリン濃度は $1.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である点である。

【0078】

この実施例では、図 5 を参照して説明した上記第 2 実施例と同様に、浮遊ゲート 3 5 の不純物濃度は、周辺回路ゲート 2 5 の不純物濃度よりも薄く形成されているので、メモリトランジスタの電荷保持特性を向上させることができる。

さらに、周辺回路ゲート 2 5 及び選択ゲート 3 9 の不純物濃度を浮遊ゲート 3 5 よりも濃くしているので、周辺回路ゲート 2 5 及び選択ゲート 3 9 の抵抗を十分低くすることができ、周辺回路トランジスタ及び選択トランジスタの処理速度が低下するのを防止することができる。

【0079】

図 10 は、第 4 実施例を製造するための製造方法の一例を説明するための工程断面図であり、図 9 の A-A' 位置及び B-B' 位置に対応している。図 9 及び図 10 を参照してこの製造方法例を説明する。

【0080】

(1) 図 8 (A) を参照して説明した上記工程 (1) と同じ工程により、P 基板 1 に N ウェル 2、フィールド酸化膜 3 (図 9 を参照。)、ゲート酸化膜 1 1、1 5、2 3 及びノンドープポリシリコン膜 3 7 を形成する (図 10 (A) 参照。)

【0081】

(2) ノンドープポリシリコン膜 3 7 上に、メモリトランジスタの形成領域を覆い、周辺回路トランジスタ及び選択トランジスタ領域の形成領域に開口部をもつ HTO 膜 4 1 を形成する。ノンドープポリシリコン膜 3 7 上及び HTO 膜 4 1 上に PSG (図示は省略) を堆積し、周辺回路トランジスタ及び選択トランジスタ領域の形成領域のノンドープポリシリコン膜 3 7 にリンを熱拡散させてポリシリコン膜 3 1 を形成する (図 10 (B) 参照。)

【0082】

(3) PSG 及び HTO 膜 4 1 を除去した後、写真製版技術及びエッチング技術により、ノンドープポリシリコン膜 3 7 から、メモリトランジスタ領域のフィールド酸化膜 3 上及びメモリゲート酸化膜 1 5 上に浮遊ゲート 3 5 を形成し、ポリシリコン膜 3 1 から、選択トランジスタ領域のフィールド酸化膜 3 上及び選択ゲート酸化膜 1 1 上に選択ゲート 3 9 を形成し、周辺回路トランジスタ領域のフィールド酸化膜 3 上及び周辺回路ゲート酸化膜 2 3 上に周辺回路ゲート 2 5 を形成する (図 6 (C) 参照。)

【0083】

(4) イオン注入法により、選択ゲート 3 9、浮遊ゲート 3 5 及び周辺回路ゲート 2 5 をマスクにして例えば $3.0 \sim 5.0 \times 10^{15} \text{ atoms/cm}^3$ の注入量で BF_2 の注入を行なって P 型拡散層 5、7、9、19、21 を形成するとともに、浮遊ゲート 3 5 にボロンの注入を行なう (図 9 参照。)

【0084】

第 4 実施例では、選択ゲート 3 9 の不純物濃度は周辺回路ゲート 2 5 と同じであるので、両ゲート 2 5、3 7 を同時に形成することができ、選択ゲート 3 9、浮遊ゲート 3 5 及び周辺回路ゲート 2 5 をそれぞれ別々の工程で形成する場合に比べて製造工程を少なくすることができる。

【0085】

図 1 1 は、第 5 実施例を示す図であり、(A) はメモリセルの平面図、(B) は周辺回路トランジスタの平面図、(C) の A-A' 位置での断面図、(D) は (B) の B-B' 位置での断面図である。図 1 と同じ部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

【0086】

P 基板 1 の所定の領域に N ウェル 2 が形成され、P 基板 1 表面にフィールド酸化膜 3 が形成されている。

選択トランジスタ領域に P 型拡散層 5、7、選択ゲート酸化膜 4 3 及び選択ゲート 1 3 からなる選択トランジスタが形成されている。

メモリトランジスタ領域に P 型拡散層 7、9、メモリゲート酸化膜 4 5 及び浮遊ゲート 1 7 からなるメモリトランジスタが形成されている。

周辺回路トランジスタ領域に P 型拡散層 1 9、2 1、周辺回路ゲート酸化膜 4 7 及び周辺回路ゲート 2 5 からなる周辺回路トランジスタが形成されている。

【0087】

選択ゲート酸化膜 4 3 及びメモリゲート酸化膜 4 5 は同じ工程で形成されたものである。周辺回路ゲート酸化膜 4 7 は選択ゲート酸化膜 4 3 及びメモリゲート酸化膜 4 5 とは別途形成されたものである。選択ゲート酸化膜 4 3 及びメモリゲート酸化膜 4 5 の膜厚は例えば 6.0 ~ 10.0 nm、ここでは 7.5 nm である。周辺回路ゲート酸化膜 4 7 の膜厚は例えば 10.0 ~ 15.0 nm、ここでは 13.5 nm である。

選択ゲート 1 3 の表面及び浮遊ゲート 1 7 の表面にシリコン酸化膜 4 9 が形成されている。

【0088】

この実施例では、図 1 を参照して説明した上記第 1 実施例と同様に、浮遊ゲート 1 7 の不純物濃度は周辺回路ゲート 2 5 の不純物濃度よりも薄く形成されているので、メモリトランジスタの電荷保持特性を向上させることができる。

さらに、周辺回路ゲート 2 5 の不純物濃度を浮遊ゲート 1 7 よりも濃くしているので、周辺回路ゲート 2 5 の抵抗を十分低くすることができ、周辺回路トランジスタ及び選択トランジスタの処理速度が低下するのを防止することができる。

【0089】

さらに、メモリゲート酸化膜 4 5 の膜厚は周辺回路ゲート酸化膜 4 7 の膜厚よりも薄く形成されているので、メモリトランジスタの書込み時に周辺回路ゲート酸化膜 4 7 が損傷しない程度に周辺回路ゲート酸化膜厚を厚くし、メモリトランジスタの良好な書込み特性が得られる程度にメモリゲート酸化膜厚を薄くすることができる。これにより、周辺回路ゲート酸化膜 4 7 の損傷を防止しつつ、またスナップバック破壊を起こさずに、メモリトランジスタの良好な書込みを行なうことができる。

【0090】

図 1 2 は、第 5 実施例を製造するための製造方法の一例を説明するための工程断面図であり、図 1 1 の A-A' 位置及び B-B' 位置に対応している。図 1 1 及び図 1 2 を参照してこの製造方法例を説明する。

【0091】

(1) P 基板 1 に N ウェル 2 を形成した後、P 基板 1 上に通常の LOCOS 法によりフィールド酸化膜 3 (図 1 1 を参照。) を形成して素子分離を行なう。フィールド酸化膜 3 により画定された活性領域表面に例えば 7.5 nm の膜厚でゲート酸化膜 4 3、4 5 を形成し、チャネルドープ注入を行なう。P 基板 1 上全面にノンドープポリシリコン膜を形成し、イオン注入法により、ノンドープポリシリコン膜に例えばリンを $5.0 \times 10^{15} \text{ atoms/cm}^2$ の注入量で注入してポリシリコン膜を形成する。写真製版技術及びエッチング技術により、そのポリシリコン膜をパターニングして、選択トランジスタ領域のフィールド酸化膜 3 上及び選択ゲート酸化膜 4 3 上に選択ゲート 1 3 を形成し、メモリトランジスタ領域のフィールド酸化膜 3 上及びメモリゲート酸化膜 4 5 上に浮遊ゲート 1 7 を形成する。フィールド酸化膜 3、選択ゲート 1 3 及び浮遊ゲート 1 7 をマスクにして P 基板 1 表面の酸

化膜を除去する。酸化膜を除去するとき、写真製版技術を用いて、選択トランジスタ領域及びメモリトランジスタ領域を覆っておいてもよい（図 1 2（A）参照。）。

【0092】

（2）熱酸化処理を施して例えば 13.5 nm の膜厚でゲート酸化膜 47 を形成する。このとき、選択ゲート 13 の表面及び浮遊ゲート 17 の表面にシリコン酸化膜 49 が形成される。P 基板 1 上全面にノンドープポリシリコン膜を形成し、さらにその上に PSG（図示は省略）を堆積し、ノンドープポリシリコン膜にリンを熱拡散させてポリシリコン膜 31 を形成する（図 1 2（B）参照。）。

【0093】

（3）PSG を除去した後、写真製版技術及びエッチング技術により、ポリシリコン膜 31 から、周辺回路トランジスタ領域のフィールド酸化膜 3 上及び周辺回路ゲート酸化膜 47 上に周辺回路ゲート 25 を形成する（図 1 2（C）参照。）。

【0094】

（4）イオン注入法により、選択ゲート 13、浮遊ゲート 17 及び周辺回路ゲート 25 をマスクにして BF₂ の注入を行なって P 型拡散層 5、7、9、19、21 を形成する（図 1 1 参照。）。

【0095】

第 5 実施例では、選択ゲート 13 の不純物濃度は浮遊ゲート 17 と同じであるので、両ゲート 13、17 を同時に形成することができ、選択ゲート 13、浮遊ゲート 17 及び周辺回路ゲート 25 をそれぞれ別々の工程で形成する場合に比べて製造工程を少なくすることができる。

【0096】

さらに、選択ゲート酸化膜 43 の膜厚はメモリゲート酸化膜 45 の膜厚と同じであるので、両ゲート酸化膜 43、45 を同時に形成することができ、選択ゲート酸化膜 43、メモリゲート酸化膜 45 及び周辺回路ゲート酸化膜 47 をそれぞれ別々の工程で形成する場合に比べて製造工程を少なくすることができる。

【0097】

図 1 3 は、第 6 実施例を示す図であり、（A）はメモリセルの平面図、（B）は周辺回路トランジスタの平面図、（C）の A-A' 位置での断面図、（D）は（B）の B-B' 位置での断面図である。図 1、図 5 及び図 1 1 と同じ部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

【0098】

この実施例が図 1 1 を参照して説明した第 5 実施例と異なる点は、選択ゲート 33 及び浮遊ゲート 35 のポリシリコン内に例えば P 型不純物としてボロンが導入されており、リンは導入されていない点である。選択ゲート 33 及び浮遊ゲート 35 のボロン濃度は例えば $7.0 \times 10^{18} \sim 5.0 \times 10^{19} \text{ atoms/cm}^3$ である。

選択ゲート 33 の表面及び浮遊ゲート 35 の表面にシリコン酸化膜 49 が形成されている。

【0099】

この実施例では、図 5 を参照して説明した上記第 2 実施例と同様に、浮遊ゲート 35 の不純物濃度は周辺回路ゲート 25 の不純物濃度よりも薄く形成されているので、メモリトランジスタの電荷保持特性を向上させることができる。さらに、周辺回路ゲート 25 の不純物濃度を浮遊ゲート 35 よりも濃くしているので、周辺回路ゲート 25 の抵抗を十分低くすることができ、周辺回路トランジスタの処理速度が低下するのを防止することができる。

【0100】

さらに、図 1 1 を参照して説明した上記第 5 実施例と同様に、メモリゲート酸化膜 45 の膜厚は周辺回路ゲート酸化膜 47 の膜厚よりも薄く形成されているので、周辺回路ゲート酸化膜 47 の損傷を防止しつつ、またスナップバック破壊を起こさずに、メモリトランジスタの良好な書込みを行なうことができる。

【0101】

図14は、第6実施例を製造するための製造方法の一例を説明するための工程断面図であり、図13のA-A'位置及びB-B'位置に対応している。図13及び図14を参照してこの製造方法例を説明する。

【0102】

(1) P基板1にNウェル2を形成した後、P基板1上に通常のLOCOS法によりフィールド酸化膜3(図13を参照。)を形成して素子分離を行なう。フィールド酸化膜3により画定された活性領域表面に例えば7.5nmの膜厚でゲート酸化膜43, 45を形成し、チャネルドープ注入を行なう。P基板1上全面にノンドープポリシリコン膜を形成する。写真製版技術及びエッチング技術により、ノンドープポリシリコン膜をパターニングして、選択トランジスタ領域のフィールド酸化膜3上及び選択ゲート酸化膜43上に選択ゲート33を形成し、メモリトランジスタ領域のフィールド酸化膜3上及びメモリゲート酸化膜45上に浮遊ゲート35を形成する。フィールド酸化膜3、選択ゲート33及び浮遊ゲート35をマスクにしてP基板1表面の酸化膜を除去する。酸化膜を除去するとき、写真製版技術を用いて、選択トランジスタ領域及びメモリトランジスタ領域を覆っておいてもよい(図14(A)参照。)

【0103】

(2) 図12(B)を参照して説明した上記工程(2)と同じ工程により、ゲート酸化膜47及びシリコン酸化膜49を形成し、さらにポリシリコン膜31を形成する(図14(B)参照。)

【0104】

(3) 図12(C)を参照して説明した上記工程(3)と同じ工程により、周辺回路トランジスタ領域のフィールド酸化膜3上及び周辺回路ゲート酸化膜47上に周辺回路ゲート25を形成する(図14(C)参照。)

【0105】

(4) イオン注入法により、選択ゲート33、浮遊ゲート35及び周辺回路ゲート25をマスクにして例えば $3.0 \sim 5.0 \times 10^{15} \text{ atoms/cm}^3$ の注入量で BF_2 の注入を行なってP型拡散層5, 7, 9, 19, 21を形成するとともに、選択ゲート33及び浮遊ゲート35にボロンの注入を行なう(図13参照。)

【0106】

第6実施例では、選択ゲート33の不純物濃度は浮遊ゲート35と同じであるので、両ゲート33, 35を同時に形成することができ、選択ゲート33、浮遊ゲート35及び周辺回路ゲート25をそれぞれ別々の工程で形成する場合に比べて製造工程を少なくすることができる。

【0107】

さらに、選択ゲート酸化膜43の膜厚はメモリゲート酸化膜45の膜厚と同じであるので、両ゲート酸化膜43, 45を同時に形成することができ、選択ゲート酸化膜43、メモリゲート酸化膜45及び周辺回路ゲート酸化膜47をそれぞれ別々の工程で形成する場合に比べて製造工程を少なくすることができる。

【0108】

図15は、第7実施例を示す図であり、(A)はメモリセルの平面図、(B)は周辺回路トランジスタの平面図、(C)のA-A'位置での断面図、(D)は(B)のB-B'位置での断面図である。図1及び図11と同じ部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

【0109】

この実施例が図11を参照して説明した第5実施例と異なる点は、選択ゲート13の表面及び浮遊ゲート17の表面にシリコン酸化膜49(図11を参照。)が形成されておらず、周辺回路ゲート25の表面にシリコン酸化膜51が形成されている点である。

【0110】

この実施例では、図1を参照して説明した上記第1実施例と同様に、浮遊ゲート17の

不純物濃度は周辺回路ゲート 25 の不純物濃度よりも薄く形成されているので、メモリトランジスタの電荷保持特性を向上させることができる。

さらに、周辺回路ゲート 25 の不純物濃度を浮遊ゲート 17 よりも濃くしているので、周辺回路ゲート 25 の抵抗を十分低くすることができ、周辺回路トランジスタ及び選択トランジスタの処理速度が低下するのを防止することができる。

さらに、メモリゲート酸化膜 45 の膜厚は周辺回路ゲート酸化膜 47 の膜厚よりも薄く形成されているので、周辺回路ゲート酸化膜 47 の損傷を防止しつつ、またスナップバック破壊を起こさずに、メモリトランジスタの良好な書込みを行なうことができる。

【0111】

図 16 は、第 7 実施例を製造するための製造方法の一例を説明するための工程断面図であり、図 15 の A-A' 位置及び B-B' 位置に対応している。図 15 及び図 16 を参照してこの製造方法例を説明する。

【0112】

(1) P 基板 1 に N ウェル 2 を形成した後、P 基板 1 上に通常の LOCOS 法によりフィールド酸化膜 3 (図 15 を参照。) を形成して素子分離を行なう。フィールド酸化膜 15 により画定された活性領域表面に例えば 1.5 nm の膜厚で周辺回路ゲート酸化膜 47 を形成し、チャネルドープ注入を行なう。P 基板 1 上全面にノンドープポリシリコン膜を形成し、さらにその上に PSG を堆積し、熱拡散処理によってノンドープポリシリコン膜にリンを拡散させる。PSG を除去した後、写真製版技術及びエッチング技術により、ポリシリコン膜をパターニングして、周辺回路トランジスタ領域のフィールド酸化膜 3 上及び周辺回路ゲート酸化膜 47 上に周辺回路ゲート 25 を形成する。フィールド酸化膜 3 及び周辺回路ゲート 25 をマスクにして P 基板 1 表面の酸化膜を除去する。酸化膜を除去するとき、写真製版技術を用いて、周辺回路トランジスタ領域を覆っておいてもよい (図 16 (A) 参照。)

【0113】

(2) 熱酸化処理を施して例えば 7.5 nm の膜厚でゲート酸化膜 43, 45 を形成する。このとき、周辺回路ゲート 25 の表面にシリコン酸化膜 51 が形成される。P 基板 1 上全面にノンドープポリシリコン膜を形成した後、イオン注入法により、ノンドープポリシリコン膜に例えばリンを $5.0 \times 10^{15} \text{ atoms/cm}^2$ の注入量で注入してポリシリコン膜 27 を形成する (図 16 (B) 参照。)

【0114】

(3) 写真製版技術及びエッチング技術により、ポリシリコン膜 27 から、選択トランジスタ領域のフィールド酸化膜 3 上及び選択ゲート酸化膜 43 上に選択ゲート 13 を形成し、メモリトランジスタ領域のフィールド酸化膜 3 上及びメモリゲート酸化膜 45 上に浮遊ゲート 17 を形成する (図 16 (C) 参照。)

ここで、ポリシリコン膜 27 をパターニングする前に全面に HTO 膜を形成し、写真製版技術及びエッチング技術により HTO 膜及びポリシリコン膜 27 をパターニングして、選択ゲート 13 上及び浮遊ゲート 17 上に HTO 膜パターンを形成しておき、後工程での BF₂ 注入工程において選択ゲート 13 及び浮遊ゲート 17 に BF₂ が注入されないようにしてもよい。

【0115】

(4) イオン注入法により、選択ゲート 13、浮遊ゲート 17 及び周辺回路ゲート 25 をマスクにして BF₂ の注入を行なって P 型拡散層 5, 7, 9, 19, 21 を形成する (図 15 参照。)

【0116】

第 7 実施例では、選択ゲート 13 の不純物濃度は浮遊ゲート 17 と同じであるので、両ゲート 13, 17 を同時に形成することができ、選択ゲート 13、浮遊ゲート 17 及び周辺回路ゲート 25 をそれぞれ別々の工程で形成する場合に比べて製造工程を少なくすることができる。

【0117】

さらに、選択ゲート酸化膜43の膜厚はメモリゲート酸化膜45の膜厚と同じであるので、両ゲート酸化膜43、45を同時に形成することができ、選択ゲート酸化膜43、メモリゲート酸化膜45及び周辺回路ゲート酸化膜47をそれぞれ別々の工程で形成する場合に比べて製造工程を少なくすることができる。

【0118】

図17は、第8実施例を示す図であり、(A)はメモリセルの平面図、(B)は周辺回路トランジスタの平面図、(C)のA-A'位置での断面図、(D)は(B)のB-B'位置での断面図である。図1、図5、図11及び図15と同じ部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

【0119】

この実施例が図15を参照して説明した第7実施例と異なる点は、選択ゲート33及び浮遊ゲート35のポリシリコン内に例えばP型不純物としてボロンが導入されており、リンは導入されていない点である。選択ゲート33及び浮遊ゲート35のボロン濃度は例えば $7.0 \times 10^{18} \sim 5.0 \times 10^{19} \text{ atoms/cm}^3$ である。

【0120】

この実施例では、図5を参照して説明した上記第2実施例と同様に、浮遊ゲート35の不純物濃度は周辺回路ゲート25の不純物濃度よりも薄く形成されているので、メモリトランジスタの電荷保持特性を向上させることができる。さらに、周辺回路ゲート25の不純物濃度を浮遊ゲート35よりも濃くしているため、周辺回路ゲート25の抵抗を十分低くすることができ、周辺回路トランジスタの処理速度が低下するのを防止することができる。

【0121】

さらに、図11を参照して説明した上記第5実施例と同様に、メモリゲート酸化膜45の膜厚は周辺回路ゲート酸化膜47の膜厚よりも薄く形成されているので、周辺回路ゲート酸化膜47の損傷を防止しつつ、またスナッチバック破壊を起こさずに、メモリトランジスタの良好な書込みを行なうことができる。

【0122】

図18は、第8実施例を製造するための製造方法の一例を説明するための工程断面図であり、図17のA-A'位置及びB-B'位置に対応している。図17及び図18を参照してこの製造方法例を説明する。

【0123】

(1) 図16(A)を参照して説明した上記工程(1)と同じ工程により、P基板1にNウェル2、フィールド酸化膜3(図17を参照。)、周辺回路ゲート酸化膜47及び周辺回路ゲート25を形成する(図18(A)参照。)

【0124】

(2) 熱酸化処理を施して例えば7.5nmの膜厚でゲート酸化膜43、45を形成する。このとき、周辺回路ゲート25の表面にシリコン酸化膜51が形成される。P基板1上全面にノンドープポリシリコン膜37を形成する(図18(B)参照。)

【0125】

(3) 写真製版技術及びエッチング技術により、ノンドープポリシリコン膜37から、選択トランジスタ領域のフィールド酸化膜3上及び選択ゲート酸化膜43上に選択ゲート33を形成し、メモリトランジスタ領域のフィールド酸化膜3上及びメモリゲート酸化膜45上に浮遊ゲート35を形成する(図16(C)参照。)

【0126】

(4) イオン注入法により、選択ゲート33、浮遊ゲート35及び周辺回路ゲート25をマスクにして例えば $3.0 \sim 5.0 \times 10^{15} \text{ atoms/cm}^3$ の注入量で BF_2 の注入を行なってP型拡散層5、7、9、19、21を形成するとともに、選択ゲート33及び浮遊ゲート35にボロンの注入を行なう(図17参照。)

【0127】

第8実施例では、選択ゲート33の不純物濃度は浮遊ゲート35と同じであるので、両

ゲート 3 3, 3 5 を同時に形成することができ、選択ゲート 3 3、浮遊ゲート 3 5 及び周辺回路ゲート 2 5 をそれぞれ別々の工程で形成する場合に比べて製造工程を少なくすることができる。

【0 1 2 8】

さらに、選択ゲート酸化膜 4 3 の膜厚はメモリゲート酸化膜 4 5 の膜厚と同じであるので、両ゲート酸化膜 4 3, 4 5 を同時に形成することができ、選択ゲート酸化膜 4 3、メモリゲート酸化膜 4 5 及び周辺回路ゲート酸化膜 4 7 をそれぞれ別々の工程で形成する場合に比べて製造工程を少なくすることができる。

【0 1 2 9】

図 1 1、図 1 3、図 1 5 及び図 1 7 を参照して説明した実施例では、選択ゲート酸化膜 4 3 及びメモリゲート酸化膜 4 5 の膜厚と、周辺回路ゲート酸化膜 4 7 の膜厚を異ならせているが、本発明はこれに限定されるものではなく、これらのゲート酸化膜 4 3, 4 5, 4 7 を同じ膜厚に設定してもよい。

【0 1 3 0】

図 1 9 は、第 9 実施例を示す図であり、(A) はメモリセルの平面図、(B) は周辺回路トランジスタの平面図、(C) の A-A' 位置での断面図、(D) は (B) の B-B' 位置での断面図である。図 1、図 7 及び図 1 1 と同じ部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

【0 1 3 1】

この実施例が図 1 1 を参照して説明した第 5 実施例と異なる点は、選択ゲート酸化膜 5 3 は周辺回路ゲート酸化膜 4 7 と同時に形成されたものであり、選択ゲート酸化膜 5 3 の膜厚は例えば 10.0 ~ 15.0 nm、ここでは 13.5 nm である点である。

さらに、選択ゲート 3 9 は周辺回路ゲート 2 5 と同時に形成されたものであり、選択ゲート 3 9 に例えば N 型不純物としてリンが浮遊ゲート 1 7 よりも高濃度に導入されており、実質的なリン濃度は $1.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である点も上記第 5 実施例とは異なっている。

【0 1 3 2】

この実施例では、図 1 を参照して説明した上記第 1 実施例と同様に、浮遊ゲート 1 7 の不純物濃度は周辺回路ゲート 2 5 の不純物濃度よりも薄く形成されているので、メモリトランジスタの電荷保持特性を向上させることができる。

さらに、図 7 を参照して説明した上記第 3 実施例と同様に、周辺回路ゲート 2 5 及び選択ゲート 3 9 の不純物濃度を浮遊ゲート 1 7 よりも濃くしているので、周辺回路ゲート 2 5 及び選択ゲート 3 9 の抵抗を十分低くすることができ、周辺回路トランジスタ及び選択トランジスタの処理速度が低下するのを防止することができる。

さらに、図 1 1 を参照して説明した上記第 5 実施例と同様に、メモリゲート酸化膜 4 5 の膜厚は周辺回路ゲート酸化膜 4 7 の膜厚よりも薄く形成されているので、周辺回路ゲート酸化膜 4 7 の損傷を防止しつつ、またスナップバック破壊を起こさずに、メモリトランジスタの良好な書込みを行なうことができる。

【0 1 3 3】

図 2 0 は、第 9 実施例を製造するための製造方法の一例を説明するための工程断面図であり、図 1 9 の A-A' 位置及び B-B' 位置に対応している。図 1 9 及び図 2 0 を参照してこの製造方法例を説明する。

【0 1 3 4】

(1) 図 1 2 (A) を参照して説明した上記工程 (1) と同様の工程により、P 基板 1 に N ウェル 2、フィールド酸化膜 3 (図 2 0 を参照。)、メモリゲート酸化膜 4 5 及び浮遊ゲート 1 7 を形成する (図 2 0 (A) 参照。)。

【0 1 3 5】

(2) 熱酸化処理を施して例えば 13.5 nm の膜厚でゲート酸化膜 4 7, 5 3 を形成する。このとき、浮遊ゲート 1 7 の表面にシリコン酸化膜 4 9 が形成される。P 基板 1 上全面にソルダーボリシリコン膜を形成し、さらにその上に PSG (図示は省略) を堆積し

、ノンドーピングポリシリコン膜にリンを熱拡散させてポリシリコン膜31を形成する（図20（B）参照。）。

【0136】

（3）PSGを除去した後、写真製版技術及びエッチング技術により、ポリシリコン膜31から、選択トランジスタ領域のフィールド酸化膜3上及び選択ゲート酸化膜53上に選択ゲート39を形成し、周辺回路トランジスタ領域のフィールド酸化膜3上及び周辺回路ゲート酸化膜47上に周辺回路ゲート25を形成する（図20（C）参照。）。

【0137】

（4）イオン注入法により、選択ゲート39、浮遊ゲート17及び周辺回路ゲート25をマスクにして BF_2 の注入を行なってP型拡散層5、7、9、19、21を形成する（図19参照。）。

【0138】

第9実施例では、選択ゲート39の不純物濃度は周辺回路ゲート25と同じであるので、両ゲート25、39を同時に形成することができ、選択ゲート39、浮遊ゲート17及び周辺回路ゲート25をそれぞれ別々の工程で形成する場合に比べて製造工程を少なくすることができる。

【0139】

さらに、選択ゲート酸化膜53の膜厚は周辺回路ゲート酸化膜47の膜厚と同じであるので、両ゲート酸化膜47、53を同時に形成することができ、選択ゲート酸化膜53、メモリゲート酸化膜45及び周辺回路ゲート酸化膜47をそれぞれ別々の工程で形成する場合に比べて製造工程を少なくすることができる。

【0140】

図21は、第10実施例を示す図であり、（A）はメモリセルの平面図、（B）は周辺回路トランジスタの平面図、（C）のA-A'位置での断面図、（D）は（B）のB-B'位置での断面図である。図1、図5、図7、図11及び図19と同じ部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

【0141】

この実施例が図19を参照して説明した第9実施例と異なる点は、浮遊ゲート35のポリシリコン内に例えばP型不純物としてボロンが導入されており、リンは導入されていない点である。浮遊ゲート35のボロン濃度は例えば $7.0 \times 10^{18} \sim 5.0 \times 10^{19} \text{ atoms/cm}^3$ である。

浮遊ゲート35の表面にシリコン酸化膜49が形成されている。

【0142】

この実施例では、図5を参照して説明した上記第2実施例と同様に、浮遊ゲート35の不純物濃度は周辺回路ゲート25の不純物濃度よりも薄く形成されているので、メモリトランジスタの電荷保持特性を向上させることができる。

さらに、図7を参照して説明した上記第3実施例と同様に、周辺回路ゲート25及び選択ゲート39の不純物濃度を浮遊ゲート17よりも濃くしているので、周辺回路ゲート25及び選択ゲート39の抵抗を十分低くすることができ、周辺回路トランジスタ及び選択トランジスタの処理速度が低下するのを防止することができる。

さらに、図11を参照して説明した上記第5実施例と同様に、メモリゲート酸化膜45の膜厚は周辺回路ゲート酸化膜47の膜厚よりも薄く形成されているので、周辺回路ゲート酸化膜47の損傷を防止しつつ、またスナッチバック破壊を起こさずに、メモリトランジスタの良好な書込みを行なうことができる。

【0143】

図22は、第10実施例を製造するための製造方法の一例を説明するための工程断面図であり、図21のA-A'位置及びB-B'位置に対応している。図21及び図22を参照してこの製造方法例を説明する。

【0144】

（1）図14（A）を参照して説明した上記工程（1）と同様の工程により、P基板1に

Nウェル2、フィールド酸化膜3（図21を参照。）、ゲート酸化膜45及び浮遊ゲート35を形成する（図22（A）参照。）。

【0145】

（2）図20（B）を参照して説明した上記工程（2）と同様の工程により、ゲート酸化膜47、53及びシリコン酸化膜49を形成し、さらにポリシリコン膜31を形成する（図22（B）参照。）。

【0146】

（3）図20（C）を参照して説明した上記工程（3）と同じ工程により、選択トランジスタ領域のフィールド酸化膜3上及び選択ゲート酸化膜53上に選択ゲート39を形成し、周辺回路トランジスタ領域のフィールド酸化膜3上及び周辺回路ゲート酸化膜47上に周辺回路ゲート25を形成する（図22（C）参照。）。

【0147】

（4）イオン注入法により、選択ゲート39、浮遊ゲート35及び周辺回路ゲート25をマスクにして例えば $3.0 \sim 5.0 \times 10^{15} \text{ atoms/cm}^2$ の注入量で BF_2 の注入を行なってP型拡散層5、7、9、19、21を形成するとともに、浮遊ゲート35にボロンの注入を行なう（図21参照。）。

【0148】

第10実施例では、選択ゲート39の不純物濃度は周辺回路ゲート25と同じであるので、両ゲート25、39を同時に形成することができ、選択ゲート39、浮遊ゲート17及び周辺回路ゲート25をそれぞれ別々の工程で形成する場合に比べて製造工程を少なくすることができる。

【0149】

さらに、選択ゲート酸化膜53の膜厚は周辺回路ゲート酸化膜47の膜厚と同じであるので、両ゲート酸化膜47、53を同時に形成することができ、選択ゲート酸化膜53、メモリゲート酸化膜45及び周辺回路ゲート酸化膜47をそれぞれ別々の工程で形成する場合に比べて製造工程を少なくすることができる。

【0150】

図23は、第11実施例を示す図であり、（A）はメモリセルの平面図、（B）は周辺回路トランジスタの平面図、（C）のA-A'位置での断面図、（D）は（B）のB-B'位置での断面図である。図1、図7、図11、図15及び図19と同じ部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

【0151】

この実施例が図19を参照して説明した第5実施例と異なる点は、浮遊ゲート17の表面にシリコン酸化膜49（図19を参照。）が形成されておらず、周辺回路ゲート25及び選択ゲート39の表面にシリコン酸化膜51が形成されている点である。

【0152】

この実施例では、図1を参照して説明した上記第1実施例と同様に、浮遊ゲート17の不純物濃度は周辺回路ゲート25の不純物濃度よりも薄く形成されているので、メモリトランジスタの電荷保持特性を向上させることができる。

さらに、図7を参照して説明した上記第3実施例と同様に、周辺回路ゲート25及び選択ゲート39の不純物濃度を浮遊ゲート17よりも濃くしているので、周辺回路ゲート25及び選択ゲート39の抵抗を十分低くすることができ、周辺回路トランジスタ及び選択トランジスタの処理速度が低下するのを防止することができる。

さらに、図11を参照して説明した上記第5実施例と同様に、メモリゲート酸化膜45の膜厚は周辺回路ゲート酸化膜47の膜厚よりも薄く形成されているので、周辺回路ゲート酸化膜47の損傷を防止しつつ、またスナップバック破壊を起こさずに、メモリトランジスタの良好な書込みを行なうことができる。

【0153】

図24は、第11実施例を製造するための製造方法の一例を説明するための工程断面図であり、図23のA-A'位置及びB-B'位置に対応している。図23及び図24を参照

してこの製造方法例を説明する。

【0154】

(1) 図16(A)を参照して説明した上記工程(1)と同様の工程により、P基板1にNウェル2、フィールド酸化膜3(図23を参照。)、周辺回路ゲート酸化膜47、選択ゲート酸化膜53、周辺回路ゲート25及び選択ゲート39を形成する(図24(A)参照。)

【0155】

(2) 図16(B)を参照して説明した上記工程(2)と同様の工程により、メモリゲート酸化膜45及びシリコン酸化膜51を形成し、さらにポリシリコン膜27を形成する(図24(B)参照。)

【0156】

(3) 図16(C)を参照して説明した上記工程(3)と同様の工程により、メモリトランジスタ領域のフィールド酸化膜3上及びメモリゲート酸化膜45上に浮遊ゲート17を形成する(図24(C)参照。)

【0157】

(4) イオン注入法により、選択ゲート39、浮遊ゲート17及び周辺回路ゲート25をマスクにして BF_2 の注入を行なってP型拡散層5, 7, 9, 19, 21を形成する(図23参照。)

【0158】

第11実施例では、選択ゲート39の不純物濃度は周辺回路ゲート25と同じであるので、両ゲート25, 39を同時に形成することができ、選択ゲート39、浮遊ゲート17及び周辺回路ゲート25をそれぞれ別々の工程で形成する場合に比べて製造工程を少なくすることができる。

【0159】

さらに、選択ゲート酸化膜53の膜厚は周辺回路ゲート酸化膜47の膜厚と同じであるので、両ゲート酸化膜47, 53を同時に形成することができ、選択ゲート酸化膜53、メモリゲート酸化膜45及び周辺回路ゲート酸化膜47をそれぞれ別々の工程で形成する場合に比べて製造工程を少なくすることができる。

【0160】

図25は、第12実施例を示す図であり、(A)はメモリセルの平面図、(B)は周辺回路トランジスタの平面図、(C)のA-A'位置での断面図、(D)は(B)のB-B'位置での断面図である。図1、図5、図7、図11、図15及び図19と同じ部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

【0161】

この実施例が図23を参照して説明した第11実施例と異なる点は、浮遊ゲート35のポリシリコン内に例えばP型不純物としてボロンが導入されており、リンは導入されていない点である。浮遊ゲート35のボロン濃度は例えば $7.0 \times 10^{18} \sim 5.0 \times 10^{19} \text{ atoms/cm}^3$ である。

【0162】

この実施例では、図5を参照して説明した上記第2実施例と同様に、浮遊ゲート35の不純物濃度は周辺回路ゲート25の不純物濃度よりも薄く形成されているので、メモリトランジスタの電荷保持特性を向上させることができる。

さらに、図7を参照して説明した上記第3実施例と同様に、周辺回路ゲート25及び選択ゲート39の不純物濃度を浮遊ゲート17よりも濃くしているため、周辺回路ゲート25及び選択ゲート39の抵抗を十分低くすることができ、周辺回路トランジスタ及び選択トランジスタの処理速度が低下するのを防止することができる。

さらに、図11を参照して説明した上記第5実施例と同様に、メモリゲート酸化膜45の膜厚は周辺回路ゲート酸化膜47の膜厚よりも薄く形成されているので、周辺回路ゲート酸化膜47の損傷を防止しつつ、またスナップバック破壊を起こさずに、メモリトランジスタの良好な書込みを行なうことができる。

【0163】

図26は、第12実施例を製造するための製造方法の一例を説明するための工程断面図であり、図25のA-A'位置及びB-B'位置に対応している。図25及び図26を参照してこの製造方法例を説明する。

【0164】

(1) 図16(A)を参照して説明した上記工程(1)と同様の工程により、P基板1にNウェル2、フィールド酸化膜3(図25を参照。)、周辺回路ゲート酸化膜47、選択ゲート酸化膜53、周辺回路ゲート25及び選択ゲート39を形成する(図26(A)参照。)

【0165】

(2) 熱酸化処理を施して例えば7.5nmの膜厚でメモリゲート酸化膜45を形成する。このとき、周辺回路ゲート25の表面及び選択ゲート39の表面にシリコン酸化膜51が形成される。P基板1上全面にノンドープポリシリコン膜37を形成する(図26(B)参照。)

【0166】

(3) 写真製版技術及びエッチング技術により、ノンドープポリシリコン膜37から、メモリトランジスタ領域のフィールド酸化膜3上及メモリゲート酸化膜45上に浮遊ゲート35を形成する(図26(C)参照。)

【0167】

(4) イオン注入法により、選択ゲート39、浮遊ゲート35及び周辺回路ゲート25をマスクにして例えば $3.0 \sim 5.0 \times 10^{15} \text{ atoms/cm}^2$ の注入量で BF_2 の注入を行なってP型拡散層5, 7, 9, 19, 21を形成するとともに、浮遊ゲート35にボロンの注入を行なう(図25参照。)

【0168】

第12実施例では、選択ゲート39の不純物濃度は周辺回路ゲート25と同じであるので、両ゲート25, 39を同時に形成することができ、選択ゲート39、浮遊ゲート35及び周辺回路ゲート25をそれぞれ別々の工程で形成する場合に比べて製造工程を少なくすることができる。

【0169】

さらに、選択ゲート酸化膜53の膜厚は周辺回路ゲート酸化膜47の膜厚と同じであるので、両ゲート酸化膜47, 53を同時に形成することができ、選択ゲート酸化膜53、メモリゲート酸化膜45及び周辺回路ゲート酸化膜47をそれぞれ別々の工程で形成する場合に比べて製造工程を少なくすることができる。

【0170】

図27は、第13実施例を示す図であり、(A)はメモリセルの平面図、(B)は周辺回路トランジスタの平面図、(C)のA-A'位置での断面図、(D)は(B)のB-B'位置での断面図である。図1と同じ部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

【0171】

P基板1の所定の領域にNウェル2が形成され、P基板1表面にフィールド酸化膜3が形成されている。

選択トランジスタ領域にP型拡散層5, 7、選択ゲート酸化膜55及び選択ゲート13からなる選択トランジスタが形成されている。

メモリトランジスタ領域にP型拡散層7, 9、メモリゲート酸化膜57及び浮遊ゲート17からなるメモリトランジスタが形成されている。

周辺回路トランジスタ領域にP型拡散層19, 21、周辺回路ゲート酸化膜59及び周辺回路ゲート25からなる周辺回路トランジスタが形成されている。

【0172】

選択ゲート酸化膜55及びメモリゲート酸化膜57は同じ工程で1回の酸化処理で形成されたものである。周辺回路ゲート酸化膜59は2回の酸化処理で形成されたものである。

。選択ゲート酸化膜 55 及びメモリゲート酸化膜 57 の膜厚は例えば 6.0 ～ 10.0 nm、ここでは 7.5 nm である。周辺回路ゲート酸化膜 59 の膜厚は例えば 10.0 ～ 15.0 nm、ここでは 13.5 nm である。

【0173】

この実施例では、図 1 を参照して説明した上記第 1 実施例と同様の効果を得ることができる。

さらに、メモリゲート酸化膜 57 の膜厚は周辺回路ゲート酸化膜 59 の膜厚よりも薄く形成されているので、メモリトランジスタの書込み時に周辺回路ゲート酸化膜 59 が損傷しない程度に周辺回路ゲート酸化膜厚を厚くし、メモリトランジスタの良好な書込み特性が得られる程度にメモリゲート酸化膜厚を薄くすることができる。これにより、周辺回路ゲート酸化膜 59 の損傷を防止しつつ、またスナップバック破壊を起こさずに、メモリトランジスタの良好な書込みを行なうことができる。

【0174】

図 28 は、第 13 実施例を製造するための製造方法の一例を説明するための工程断面図であり、図 27 の A-A' 位置及び B-B' 位置に対応している。図 27 及び図 28 を参照してこの製造方法例を説明する。

【0175】

(1) P 基板 1 に N ウェル 2 を形成した後、P 基板 1 上に通常の LOCOS 法によりフィールド酸化膜 3 (図 27 を参照。) 形成して素子分離を行なう。フィールド酸化膜 3 により画定された活性領域表面に例えば 6 ～ 16 nm の膜厚で犠牲酸化膜 61 を形成し、チャンネルドープ注入を行なう (図 28 (A) 参照。)

【0176】

(2) 周辺回路トランジスタの形成領域を覆い、選択トランジスタ領域及びメモリトランジスタの形成領域に開口部をもつレジストパターン 63 を形成する。レジストパターン 63 をマスクにして選択トランジスタ領域及びメモリトランジスタ領域の犠牲酸化膜 61 を選択的に除去する (図 28 (B) 参照。)

【0177】

(3) レジストパターン 63 を除去した後、熱酸化処理を施して選択トランジスタ領域及びメモリトランジスタ領域の N ウェル 2 表面に膜厚が例えば 7.5 nm の選択ゲート酸化膜 55 及びメモリゲート酸化膜 57 を形成する。このとき、周辺回路トランジスタ領域の犠牲酸化膜 61 の膜厚が成長して周辺回路ゲート酸化膜 59 となる (図 28 (C) 参照。)

【0178】

(4) 図 4 (A) から (C) を参照して説明した上記工程 (1) から (3) と同様の工程により、選択トランジスタ領域のフィールド酸化膜 3 上及び選択ゲート酸化膜 55 上に選択ゲート 13 を形成し、メモリトランジスタ領域のフィールド酸化膜 3 上及びメモリゲート酸化膜 57 上に浮遊ゲート 17 を形成し、周辺回路トランジスタ領域のフィールド酸化膜 3 上及び周辺回路ゲート酸化膜 59 上に周辺回路ゲート 25 を形成する。図 1 を参照して説明した上記工程 (4) と同じ工程により、P 型拡散層 5, 7, 9, 19, 21 を形成する (図 27 参照。)

【0179】

図 29 は、第 14 実施例を示す図であり、(A) はメモリセルの平面図、(B) は周辺回路トランジスタの平面図、(C) の A-A' 位置での断面図、(D) は (B) の B-B' 位置での断面図である。図 1、図 5 及び図 27 と同じ部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

【0180】

この実施例が図 27 を参照して説明した第 13 実施例と異なる点は、選択ゲート 33 及び浮遊ゲート 35 のポリシリコン内に例えば P 型不純物としてボロンが導入されており、リンは導入されていない点である。選択ゲート 33 及び浮遊ゲート 35 のボロン濃度は例えば $7.0 \times 10^{18} \sim 5.0 \times 10^{19} \text{ atoms/cm}^3$ である。

【0181】

この実施例は、図28を参照して説明した上記工程(1)から(3)の後に、図5及び図6を参照して説明した上記工程(1)から(4)と同様の工程を行なうことにより形成することができる。

【0182】

この実施例では、図5を参照して説明した上記第2実施例と同様と同様の効果を得ることができる。

さらに、メモリゲート酸化膜57の膜厚は周辺回路ゲート酸化膜59の膜厚よりも薄く形成されているので、周辺回路ゲート酸化膜59の損傷を防止しつつ、またスナップバック破壊を起こさずに、メモリトランジスタの良好な書込みを行なうことができる。

【0183】

図30は、第15実施例を示す図であり、(A)はメモリセルの平面図、(B)は周辺回路トランジスタの平面図、(C)のA-A'位置での断面図、(D)は(B)のB-B'位置での断面図である。図1、図7及び図27と同じ部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

【0184】

この実施例が図27を参照して説明した第13実施例と異なる点は、選択ゲート39は周辺回路ゲート25と同時に形成されたものであり、選択ゲート39に例えばN型不純物としてリンが浮遊ゲート17よりも高濃度に導入されており、実質的なリン濃度は $1.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である点である。

【0185】

この実施例は、図28を参照して説明した上記工程(1)から(3)の後に、図7及び図8を参照して説明した上記工程(1)から(4)と同様の工程を行なうことにより形成することができる。

【0186】

この実施例では、図7を参照して説明した上記第3実施例と同様の効果を得ることができる。

さらに、メモリゲート酸化膜57の膜厚は周辺回路ゲート酸化膜59の膜厚よりも薄く形成されているので、周辺回路ゲート酸化膜59の損傷を防止しつつ、またスナップバック破壊を起こさずに、メモリトランジスタの良好な書込みを行なうことができる。

【0187】

図31は、第16実施例を示す図であり、(A)はメモリセルの平面図、(B)は周辺回路トランジスタの平面図、(C)のA-A'位置での断面図、(D)は(B)のB-B'位置での断面図である。図1、図5、図7、図9及び図27と同じ部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

【0188】

この実施例が図30を参照して説明した第15実施例と異なる点は、浮遊ゲート35のポリシリコン内に例えばP型不純物としてボロンが導入されており、リンは導入されていない点である。浮遊ゲート35のボロン濃度は例えば $7.0 \times 10^{18} \sim 5.0 \times 10^{19} \text{ atoms/cm}^3$ である。

【0189】

この実施例は、図28を参照して説明した上記工程(1)から(3)の後に、図9及び図10を参照して説明した上記工程(1)から(4)と同様の工程を行なうことにより形成することができる。

【0190】

この実施例では、図9を参照して説明した上記第4実施例と同様と同様の効果を得ることができる。

さらに、メモリゲート酸化膜57の膜厚は周辺回路ゲート酸化膜59の膜厚よりも薄く形成されているので、周辺回路ゲート酸化膜59の損傷を防止しつつ、またスナップバック破壊を起こさずに、メモリトランジスタの良好な書込みを行なうことができる。

【0191】

また、図27を参照して説明した上記第13実施例、図29を参照して説明した上記第14実施例、図30を参照して説明した上記第15実施例、図31を参照して説明した上記第16実施例において、選択ゲート酸化膜55の膜厚はメモリゲート酸化膜57の膜厚と同じであるので、両ゲート酸化膜55、57を同時に形成することができ、選択ゲート酸化膜55、メモリゲート酸化膜57及び周辺回路ゲート酸化膜59をそれぞれ別々の工程で形成する場合に比べて製造工程を少なくすることができる。

【0192】

図32は、第17実施例を示す図であり、(A)はメモリセルの平面図、(B)は周辺回路トランジスタの平面図、(C)のA-A'位置での断面図、(D)は(B)のB-B'位置での断面図である。図1及び図27と同じ部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

【0193】

この実施例が図27を参照して説明した第13実施例と異なる点は、選択ゲート酸化膜65は2回の酸化処理によって周辺回路ゲート酸化膜59と同時に形成されたものであり、選択ゲート酸化膜65の膜厚は例えば10.0～15.0nm、ここでは13.5nmである点である。

【0194】

この実施例では、図1を参照して説明した上記第1実施例と同様の効果を得ることができる。

さらに、メモリゲート酸化膜57の膜厚は周辺回路ゲート酸化膜59の膜厚よりも薄く形成されているので、周辺回路ゲート酸化膜59の損傷を防止しつつ、またスナップバック破壊を起こさずに、メモリトランジスタの良好な書込みを行なうことができる。

【0195】

図33は、第17実施例を製造するための製造方法の一例を説明するための工程断面図であり、図32のA-A'位置及びB-B'位置に対応している。図32及び図33を参照してこの製造方法例を説明する。

【0196】

(1) 図28(A)を参照して説明した上記工程(1)と同じ工程により、P基板1にNウェル2、フィールド酸化膜3(図32を参照。)、犠牲酸化膜61を形成し、チャンネルドーパ注入を行なう(図33(A)参照。)

【0197】

(2) 選択トランジスタ領域及び周辺回路トランジスタの形成領域を覆い、メモリトランジスタの形成領域に開口部をもつレジストパターン67を形成する。レジストパターン67をマスクにしてメモリトランジスタ領域の犠牲酸化膜61を選択的に除去する(図33(B)参照。)

【0198】

(3) レジストパターン67を除去した後、熱酸化処理を施してメモリトランジスタ領域のNウェル2表面に膜厚が例えば7.5nmのメモリゲート酸化膜57を形成する。このとき、選択トランジスタ領域と周辺回路トランジスタ領域の犠牲酸化膜61が例えば12～20nmの膜厚に成長して選択ゲート酸化膜65と周辺回路ゲート酸化膜59となる。(C)参照。)

【0199】

(4) 図4(A)から(C)を参照して説明した上記工程(1)から(3)と同様の工程により、選択トランジスタ領域のフィールド酸化膜3上及び選択ゲート酸化膜65上に選択ゲート13を形成し、メモリトランジスタ領域のフィールド酸化膜3上及びメモリゲート酸化膜57上に浮遊ゲート17を形成し、周辺回路トランジスタ領域のフィールド酸化膜3上及び周辺回路ゲート酸化膜59上に周辺回路ゲート25を形成する。図1を参照して説明した上記工程(4)と同じ工程により、P型拡散層5、7、9、19、21を形成する(図27参照。)

【0200】

図34は、第18実施例を示す図であり、(A)はメモリセルの平面図、(B)は周辺回路トランジスタの平面図、(C)のA-A'位置での断面図、(D)は(B)のB-B'位置での断面図である。図1、図5、図27及び図32と同じ部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

【0201】

この実施例が図32を参照して説明した第17実施例と異なる点は、選択ゲート33及び浮遊ゲート35のポリシリコン内に例えばP型不純物としてボロンが導入されており、リンは導入されていない点である。選択ゲート33及び浮遊ゲート35のボロン濃度は例えば $7.0 \times 10^{18} \sim 5.0 \times 10^{19} \text{ atoms/cm}^3$ である。

【0202】

この実施例は、図33を参照して説明した上記工程(1)から(3)の後に、図5及び図6を参照して説明した上記工程(1)から(4)と同様の工程を行なうことにより形成することができる。

【0203】

この実施例では、図5を参照して説明した上記第2実施例と同様と同様の効果を得ることができる。

さらに、メモリゲート酸化膜57の膜厚は周辺回路ゲート酸化膜59の膜厚よりも薄く形成されているので、周辺回路ゲート酸化膜59の損傷を防止しつつ、またスナップバック破壊を起こさずに、メモリトランジスタの良好な書込みを行なうことができる。

【0204】

図35は、第19実施例を示す図であり、(A)はメモリセルの平面図、(B)は周辺回路トランジスタの平面図、(C)のA-A'位置での断面図、(D)は(B)のB-B'位置での断面図である。図1、図7、図27及び図32と同じ部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

【0205】

この実施例が図32を参照して説明した第17実施例と異なる点は、選択ゲート39は周辺回路ゲート25と同時に形成されたものであり、選択ゲート39に例えばN型不純物としてリンが浮遊ゲート17よりも高濃度に導入されており、実質的なリン濃度は $1.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である点である。

【0206】

この実施例は、図33を参照して説明した上記工程(1)から(3)の後に、図7及び図8を参照して説明した上記工程(1)から(4)と同様の工程を行なうことにより形成することができる。

【0207】

この実施例では、図7を参照して説明した上記第3実施例と同様の効果を得ることができる。

さらに、メモリゲート酸化膜57の膜厚は周辺回路ゲート酸化膜59の膜厚よりも薄く形成されているので、周辺回路ゲート酸化膜59の損傷を防止しつつ、またスナップバック破壊を起こさずに、メモリトランジスタの良好な書込みを行なうことができる。

【0208】

図36は、第20実施例を示す図であり、(A)はメモリセルの平面図、(B)は周辺回路トランジスタの平面図、(C)のA-A'位置での断面図、(D)は(B)のB-B'位置での断面図である。図1、図5、図7、図9、図27及び図32と同じ部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

【0209】

この実施例が図35を参照して説明した第19実施例と異なる点は、浮遊ゲート35のポリシリコン内に例えばP型不純物としてボロンが導入されており、リンは導入されていない点である。浮遊ゲート35のボロン濃度は例えば $7.0 \times 10^{18} \sim 5.0 \times 10^{19} \text{ atoms/cm}^3$ である。

【0210】

この実施例は、図33を参照して説明した上記工程(1)から(3)の後に、図9及び図10を参照して説明した上記工程(1)から(4)と同様の工程を行なうことにより形成することができる。

【0211】

この実施例では、図9を参照して説明した上記第4実施例と同様と同様の効果を得ることができる。

さらに、メモリゲート酸化膜57の膜厚は周辺回路ゲート酸化膜59の膜厚よりも薄く形成されているので、周辺回路ゲート酸化膜59の損傷を防止しつつ、またスナップバック破壊を起こさずに、メモリトランジスタの良好な書込みを行なうことができる。

【0212】

また、図32を参照して説明した上記第17実施例、図34を参照して説明した上記第18実施例、図35を参照して説明した上記第19実施例、図36を参照して説明した上記第20実施例において、選択ゲート酸化膜65の膜厚は周辺回路ゲート酸化膜59の膜厚と同じであるので、両ゲート酸化膜59、65を同時に形成することができ、選択ゲート酸化膜65、メモリゲート酸化膜57及び周辺回路ゲート酸化膜59をそれぞれ別々の工程で形成する場合に比べて製造工程を少なくすることができる。

【0213】

上記の実施例では、メモリトランジスタ及び選択トランジスタはPMOSトランジスタ(書込み電圧6~7V)であるので、NMOSトランジスタからなるメモリトランジスタ(書込み電圧10V程度)を用いる場合に比べて、書込みのためにいわゆる制御ゲートを用いる必要がなく、書込み電圧を低くすることができる。

ただし、メモリトランジスタ及び選択トランジスタはNMOSトランジスタであってもよい。

【0214】

また、上記の実施例を説明するための図では周辺回路トランジスタとしてPMOSトランジスタのみを図示しているが、図示しない領域に周辺回路トランジスタとしてのNMOSトランジスタが形成されていてもよい。

また、半導体基板はN基板であってもよい。

また、選択ゲート、メモリゲート、周辺回路ゲートのいずれか又は全部にゲート抵抗を低減するためのシリサイド膜が形成されていてもよい。

【0215】

図37は分割抵抗回路と定電圧発生回路を備えた一実施例を示す回路図である。

直流電源71からの電源を安定して供給すべく、定電圧発生回路90が設けられている。定電圧発生回路90は、直流電源71が接続される入力端子(V_{bat})73、基準電圧発生回路(V_{ref})75、演算増幅器77、出力ドライバを構成するPMOSトランジスタ79、分割抵抗81、83及び出力端子(V_{out})85を備えている。

【0216】

分割抵抗83はR0により構成される。分割抵抗81は、直列に接続された複数の抵抗値調整用抵抗素子R1、R2、・R_{i-1}、R_iを備えている。抵抗値調整用抵抗素子R1、R2、・R_{i-1}、R_iに対応してヒューズ用MOSトランジスタSW1、SW2、・SW_{i-1}、SW_iが並列に接続されている。

【0217】

ヒューズ用MOSトランジスタSW1、SW2、・SW_{i-1}、SW_iのオンとオフを切り替えるための読出し回路87及び不揮発性メモリセル89が設けられている。読出し回路87の出力は対応するヒューズ用MOSトランジスタSW1、SW2、・SW_{i-1}、SW_iのゲートに接続されている。不揮発性メモリセル89には複数のメモリセルが配置されており、ヒューズ用MOSトランジスタSW1、SW2、・SW_{i-1}、SW_iをオン又はオフする情報が記憶されている。読出し回路87は不揮発性メモリセル89の記憶状態に応じてヒューズ用MOSトランジスタSW1、SW2、・SW_{i-1}、SW_iを

オン又はオフさせる。

【0218】

定電圧発生回路90の演算増幅器77では、出力端子がPMOS79のゲート電極に接続され、反転入力端子に基準電圧発生回路75から基準電圧 V_{ref} が印加され、非反転入力端子に出力電圧 V_{out} を分割抵抗81と83で分割した電圧が印加され、分割抵抗81、83の分割電圧が基準電圧 V_{ref} に等しくなるように制御される。

【0219】

図38は分割抵抗回路と電圧検出回路を備えた一実施例を示す回路図である。図37と同じ部分には同じ符号を付す。

電圧検出回路91において、測定すべき端子の電圧（入力電圧 V_{sens} ）が入力される入力端子93と接地電位の間に、分割抵抗81、83及び発振防止用抵抗素子RHが直列に接続されている。分割抵抗81、83の構成は図37と同じである。

【0220】

抵抗値調整用抵抗素子 $R_1, R_2, \dots, R_{i-1}, R_i$ に対応してヒューズ用MOSトランジスタ $SW_1, SW_2, \dots, SW_{i-1}, SW_i$ が並列に接続されている。ヒューズ用MOSトランジスタ $SW_1, SW_2, \dots, SW_{i-1}, SW_i$ に読出し回路87が接続されている。読出し回路87に不揮発性メモリセル89が接続されている。

【0221】

分割抵抗83と接地の間に発振防止用抵抗素子RHが設けられている。発振防止用抵抗素子RHに並列にNチャンネル型の発振防止用ヒューズ用MOSトランジスタSWHが接続されている。発振防止用ヒューズ用MOSトランジスタSWHのゲートは演算増幅器77の出力に接続されている。

【0222】

演算増幅器77の反転入力端子は分割抵抗81と83の間の接続点に接続されている。演算増幅器77の非反転入力端子に基準電圧発生回路75が接続され、基準電圧 V_{ref} が印加される。演算増幅器77の出力はインバータ95及び出力端子（DTout）97を介して外部に出力される。

【0223】

電圧検出回路91において、高電圧検出状態では発振防止用抵抗素子RHはオフ状態であり、入力端子93から入力される測定すべき端子の電圧が高く、分割抵抗81と分割抵抗83及び発振防止用抵抗素子RHにより分割された電圧が基準電圧 V_{ref} よりも高いときは演算増幅器77の出力が論理値0を維持し、その出力はインバータ95により反転され論理値1にされて出力端子97から出力される。このとき演算増幅器77の反転入力端子に入力される分割電圧は、

$$\{(R_0) + (RH)\} / \{(R_1) + \dots + (R_{i-1}) + (R_i) + (R_0) + \dots + \dots + \dots\}$$

である。

【0224】

測定すべき端子の電圧が降下してきて分割抵抗81と分割抵抗83及び発振防止用抵抗素子RHにより分割された電圧が基準電圧 V_{ref} 以下になると演算増幅器77の出力が論理値1になり、その出力はインバータ95により反転され論理値0にされて出力端子97から出力される。

【0225】

演算増幅器77の出力が論理値1になると、発振防止用ヒューズ用MOSトランジスタSWHがオン状態になり、分割抵抗83が発振防止用ヒューズ用MOSトランジスタSWHを介して接地電位に接続され、分割抵抗81と83の間の電圧が低下する。これにより、演算増幅器77の出力は論理値1を維持し、電圧検出回路91は低電圧検出状態になる。このように、発振防止用抵抗素子RH及び発振防止用ヒューズ用MOSトランジスタSWHは入力電圧 V_{sens} が低下してきたときに電圧検出回路91の出力の発振を防止する。

【0226】

電圧検出回路 9 1 の低電圧検出状態における演算増幅器 7 7 の反転入力端子に入力される分割電圧は、

$$(R_0) / \{ (R_1) + \dots + (R_{i-1}) + (R_i) + \dots \}$$

である。電圧検出回路 9 1 を高電圧検出状態するための解除電圧は、低電圧検出状態における演算増幅器 7 7 の反転入力端子に入力される分割電圧が基準電圧 V_{ref} よりも大きくなる入力電圧 V_{sens} である。

【0227】

図 3 7 及び図 3 8 に示した実施例において、読出し回路 8 7、基準電圧発生回路 7 5 及び演算増幅器 7 7 を構成する MOS トランジスタ、並びに、ヒューズ用 MOS トランジスタ SW_1 , SW_2 , \dots , SW_{i-1} , SW_i 及び発振防止用ヒューズ用 MOS トランジスタ SW_H として、本発明の半導体装置を構成する周辺回路トランジスタが用いられる。ただし、上記の MOS トランジスタの全部に本発明の半導体装置を構成する周辺回路トランジスタが用いられている必要はない。

【0228】

図 3 7 及び図 3 8 に示した実施例では、読出し回路 8 7 及び不揮発性メモリセル 8 9 の制御により、ヒューズ用 MOS トランジスタ SW_1 , SW_2 , \dots , SW_{i-1} , SW_i のオンとオフを選択して、分割抵抗 8 1 の抵抗値を調整することができる。これにより、定電圧発生回路 9 0 の出力電圧及び電圧検出回路 9 1 の出力電圧について設定電圧を調整することができる。

【0229】

従来の定電圧発生回路及び電圧検出回路では、ヒューズ用 MOS トランジスタ SW_1 , SW_2 , \dots , SW_{i-1} , SW_i 、読出し回路 8 7 及び不揮発性メモリセル 8 9 に代えて、抵抗値調整用抵抗素子 R_1 , R_2 , \dots , R_{i-1} , R_i ごとにポリシリコン又は金属材料からなるヒューズが並列に接続され、ヒューズを切断することにより分割抵抗の抵抗値を調整していた。

【0230】

図 3 7 及び図 3 8 に示した実施例では、読出し回路 8 7 及び不揮発性メモリセル 8 9 の制御により、ヒューズでは困難であった一度オフ状態にしたスイッチ（ヒューズ用 MOS トランジスタ SW_1 , SW_2 , \dots , SW_{i-1} , SW_i ）を再度オン状態にすることができるので、定電圧発生回路 9 0 の出力電圧及び電圧検出回路 9 1 の出力電圧について設定電圧の変更を自由に行なうことができる。

【0231】

さらに、不揮発性メモリセル 8 9 への書込みによりヒューズ用 MOS トランジスタ SW_1 , SW_2 , \dots , SW_{i-1} , SW_i のオン状態又はオフ状態を切り替えることができるので、半導体装置をパッケージに収容した後でも、定電圧発生回路 9 0 の出力電圧及び電圧検出回路 9 1 の出力電圧について設定電圧の調整及び変更を行なうことができる。

【0232】

図 3 7 及び図 3 8 では、本発明の分割抵抗回路を定電圧発生回路及び電圧検出回路に適用しているが、本発明はこれに限定されるものではなく、本発明の分割抵抗回路を他の回路に適用することもできる。

【0233】

以上、本発明の実施例を説明したが、数値、形状、材料、配置などは一例であり、本発明はこれらに限定されるものではなく、特許請求の範囲に記載された本発明の範囲内で種々の変更が可能である。

【図面の簡単な説明】

【0234】

【図 1】 第 1 実施例を示す図であり、(A) はメモリセルの平面図、(B) は周辺回路トランジスタの平面図、(C) の A-A' 位置での断面図、(D) は (B) の B-B' 位置での断面図である。

【図 2】 メモリトランジスタの電荷保持特性を調べた結果を示す図であり、縦軸はメ

モリトランジスタのしきい値電圧、横軸は経過時間を示す。

【図 3】第 1 実施例のメモリセルをマトリクス配置した場合の一例を示す回路図である。

【図 4】第 1 実施例を製造するための製造方法の一例を説明するための工程断面図である。

【図 5】第 2 実施例を示す図であり、(A) はメモリセルの平面図、(B) は周辺回路トランジスタの平面図、(C) の A-A' 位置での断面図、(D) は (B) の B-B' 位置での断面図である。

【図 6】第 2 実施例を製造するための製造方法の一例を説明するための工程断面図である。

【図 7】第 3 実施例を示す図であり、(A) はメモリセルの平面図、(B) は周辺回路トランジスタの平面図、(C) の A-A' 位置での断面図、(D) は (B) の B-B' 位置での断面図である。

【図 8】第 3 実施例を製造するための製造方法の一例を説明するための工程断面図である。

【図 9】第 4 実施例を示す図であり、(A) はメモリセルの平面図、(B) は周辺回路トランジスタの平面図、(C) の A-A' 位置での断面図、(D) は (B) の B-B' 位置での断面図である。

【図 10】第 4 実施例を製造するための製造方法の一例を説明するための工程断面図である。

【図 11】第 5 実施例を示す図であり、(A) はメモリセルの平面図、(B) は周辺回路トランジスタの平面図、(C) の A-A' 位置での断面図、(D) は (B) の B-B' 位置での断面図である。

【図 12】第 5 実施例を製造するための製造方法の一例を説明するための工程断面図である。

【図 13】第 6 実施例を示す図であり、(A) はメモリセルの平面図、(B) は周辺回路トランジスタの平面図、(C) の A-A' 位置での断面図、(D) は (B) の B-B' 位置での断面図である。

【図 14】第 6 実施例を製造するための製造方法の一例を説明するための工程断面図である。

【図 15】第 7 実施例を示す図であり、(A) はメモリセルの平面図、(B) は周辺回路トランジスタの平面図、(C) の A-A' 位置での断面図、(D) は (B) の B-B' 位置での断面図である。

【図 16】第 7 実施例を製造するための製造方法の一例を説明するための工程断面図である。

【図 17】第 8 実施例を示す図であり、(A) はメモリセルの平面図、(B) は周辺回路トランジスタの平面図、(C) の A-A' 位置での断面図、(D) は (B) の B-B' 位置での断面図である。

【図 18】第 8 実施例を製造するための製造方法の一例を説明するための工程断面図である。

【図 19】第 9 実施例を示す図であり、(A) はメモリセルの平面図、(B) は周辺回路トランジスタの平面図、(C) の A-A' 位置での断面図、(D) は (B) の B-B' 位置での断面図である。

【図 20】第 9 実施例を製造するための製造方法の一例を説明するための工程断面図である。

【図 21】第 10 実施例を示す図であり、(A) はメモリセルの平面図、(B) は周辺回路トランジスタの平面図、(C) の A-A' 位置での断面図、(D) は (B) の B-B' 位置での断面図である。

【図 22】第 10 実施例を製造するための製造方法の一例を説明するための工程断面図である。

【図 2 3】第 1 1 実施例を示す図であり、(A) はメモリセルの平面図、(B) は周辺回路トランジスタの平面図、(C) の A-A' 位置での断面図、(D) は (B) の B-B' 位置での断面図である。

【図 2 4】第 1 1 実施例を製造するための製造方法の一例を説明するための工程断面図である。

【図 2 5】第 1 2 実施例を示す図であり、(A) はメモリセルの平面図、(B) は周辺回路トランジスタの平面図、(C) の A-A' 位置での断面図、(D) は (B) の B-B' 位置での断面図である。

【図 2 6】第 1 2 実施例を製造するための製造方法の一例を説明するための工程断面図である。

【図 2 7】第 1 3 実施例を示す図であり、(A) はメモリセルの平面図、(B) は周辺回路トランジスタの平面図、(C) の A-A' 位置での断面図、(D) は (B) の B-B' 位置での断面図である。

【図 2 8】第 1 3 実施例を製造するための製造方法の一例の一部を説明するための工程断面図である。

【図 2 9】第 1 4 実施例を示す図であり、(A) はメモリセルの平面図、(B) は周辺回路トランジスタの平面図、(C) の A-A' 位置での断面図、(D) は (B) の B-B' 位置での断面図である。

【図 3 0】第 1 5 実施例を示す図であり、(A) はメモリセルの平面図、(B) は周辺回路トランジスタの平面図、(C) の A-A' 位置での断面図、(D) は (B) の B-B' 位置での断面図である。

【図 3 1】第 1 6 実施例を示す図であり、(A) はメモリセルの平面図、(B) は周辺回路トランジスタの平面図、(C) の A-A' 位置での断面図、(D) は (B) の B-B' 位置での断面図である。

【図 3 2】第 1 7 実施例を示す図であり、(A) はメモリセルの平面図、(B) は周辺回路トランジスタの平面図、(C) の A-A' 位置での断面図、(D) は (B) の B-B' 位置での断面図である。

【図 3 3】第 1 7 実施例を製造するための製造方法の一例の一部を説明するための工程断面図である。

【図 3 4】第 1 8 実施例を示す図であり、(A) はメモリセルの平面図、(B) は周辺回路トランジスタの平面図、(C) の A-A' 位置での断面図、(D) は (B) の B-B' 位置での断面図である。

【図 3 5】第 1 9 実施例を示す図であり、(A) はメモリセルの平面図、(B) は周辺回路トランジスタの平面図、(C) の A-A' 位置での断面図、(D) は (B) の B-B' 位置での断面図である。

【図 3 6】第 2 0 実施例を示す図であり、(A) はメモリセルの平面図、(B) は周辺回路トランジスタの平面図、(C) の A-A' 位置での断面図、(D) は (B) の B-B' 位置での断面図である。

【図 3 7】分割抵抗回路と定電圧発生回路を備えた一実施例を示す回路図である。

【図 3 8】分割抵抗回路と電圧検出回路を備えた一実施例を示す回路図である。

【図 3 9】従来例としての 1 層ゲート型の不揮発性メモリを示す平面図である。

【図 4 0】従来例としての 2 層ゲート型の不揮発性メモリを示す断面図である。

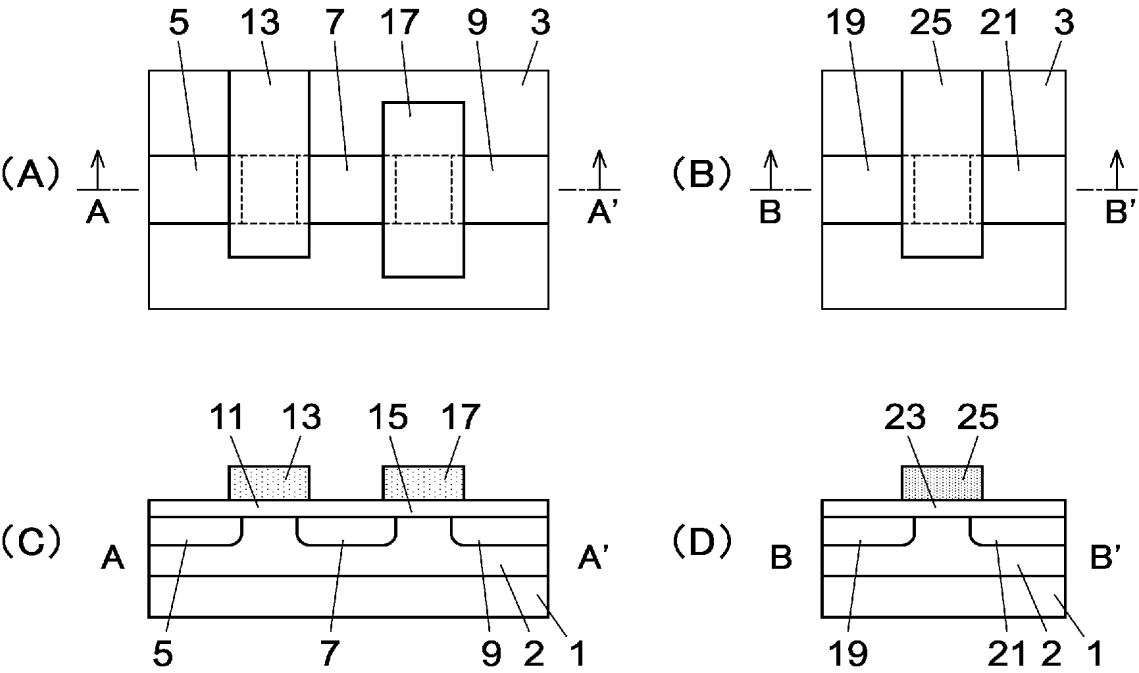
【図 4 1】制御ゲートを備えていない不揮発性メモリを示す図であり、(A) は平面図、(B) は (A) の E-E' 位置での断面図である。

【符号の説明】

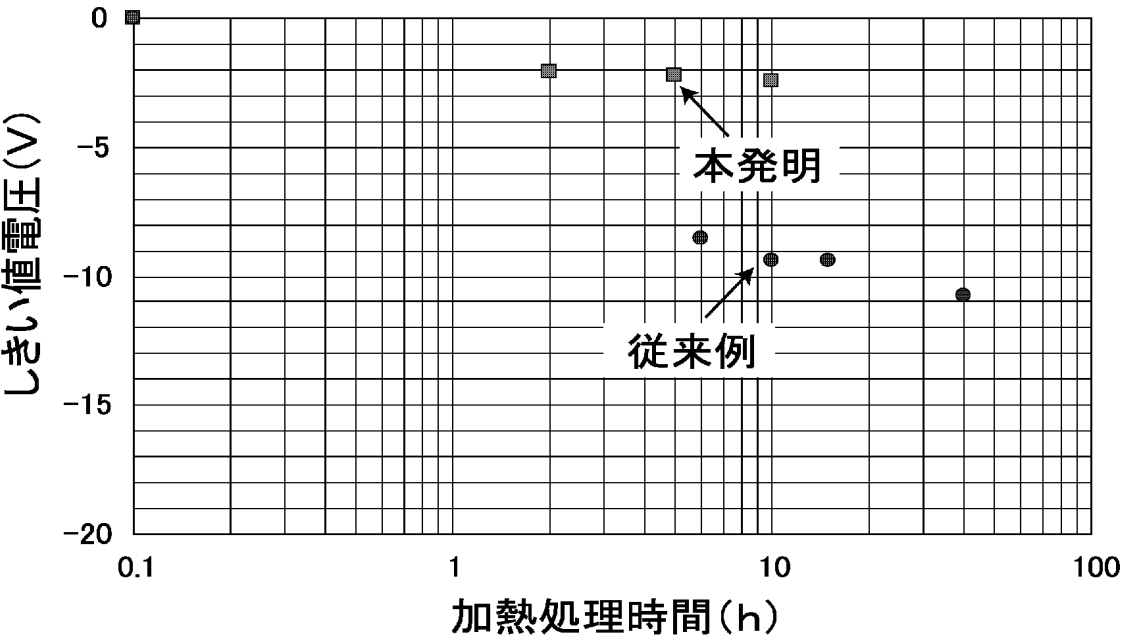
【0 2 3 5】

- 1 P 基板（半導体基板）
- 2 N ウェル
- 3 フィールド酸化膜
- 5, 7, 9, 19, 21 N 型拡散層

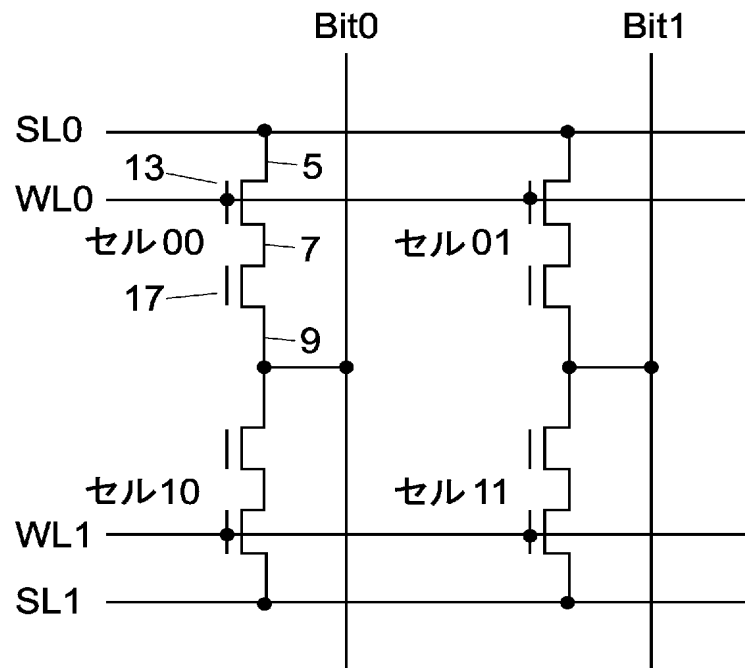
1 1 , 4 3 選択ゲート酸化膜
1 3 , 3 3 , 3 9 , 5 3 , 5 5 , 6 5 選択ゲート
1 5 , 4 5 , 5 7 メモリゲート酸化膜
1 7 , 3 5 浮遊ゲート
2 3 , 4 7 , 5 9 周辺回路ゲート酸化膜
2 5 周辺回路ゲート
4 9 , 5 1 シリコン酸化膜



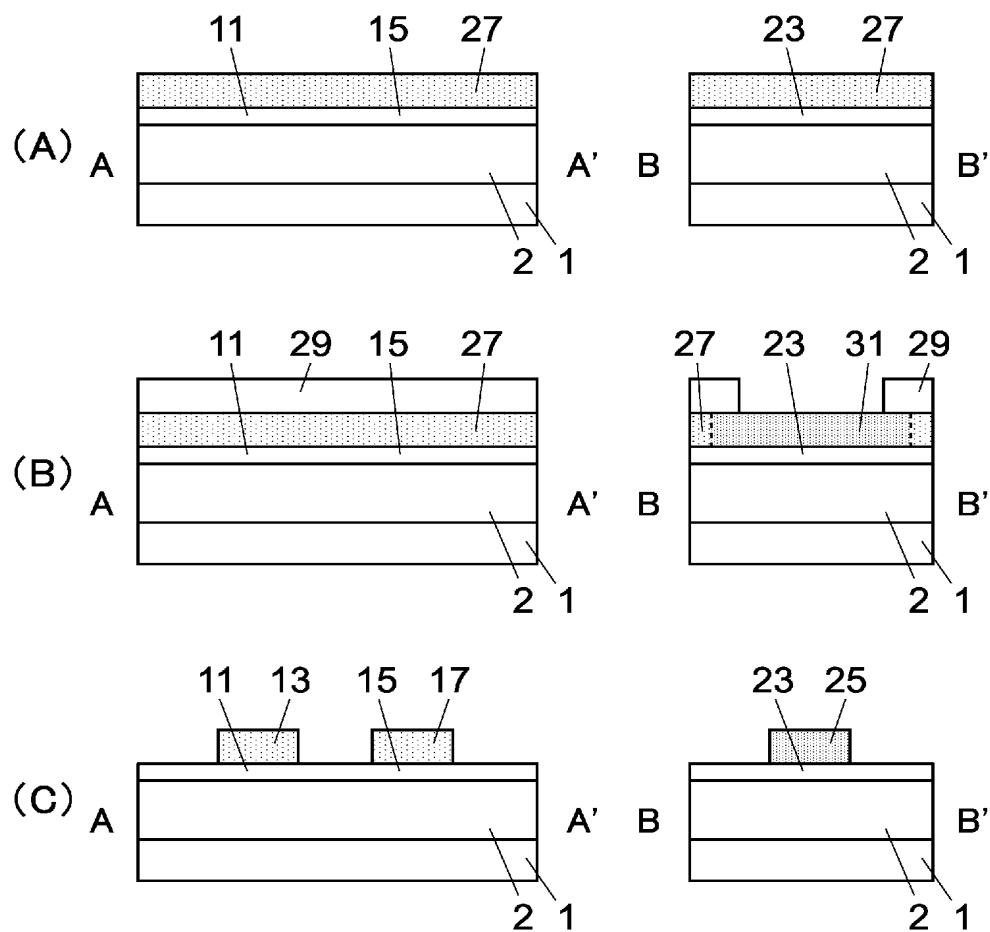
【図 2】



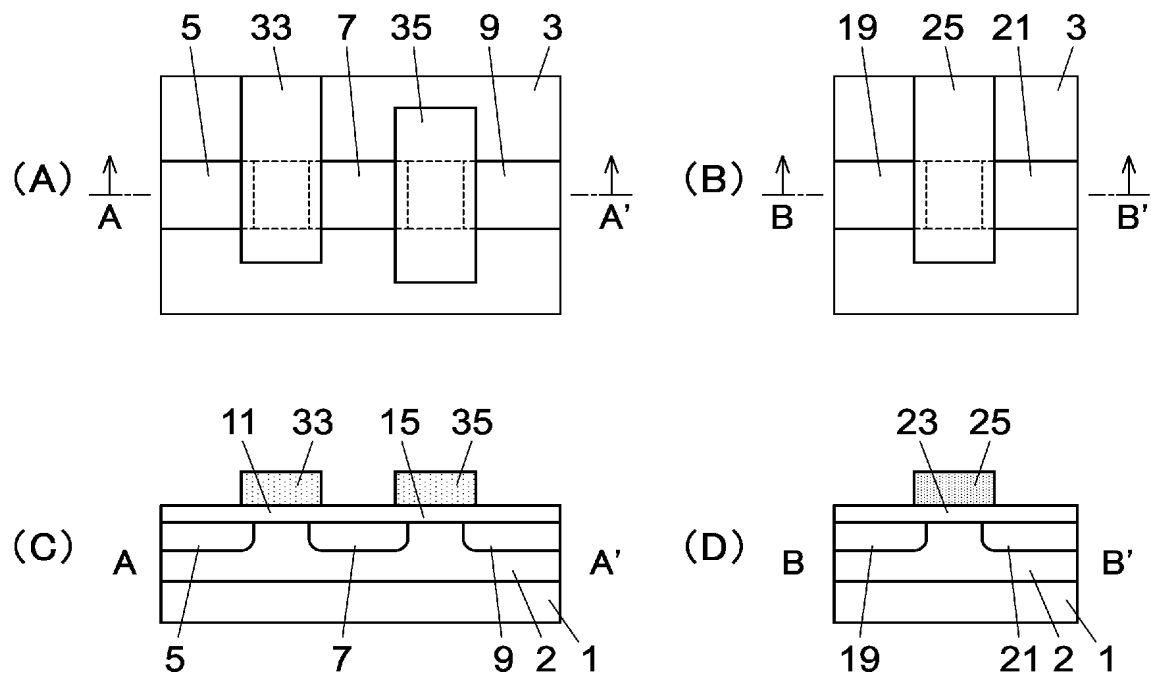
【図 3】



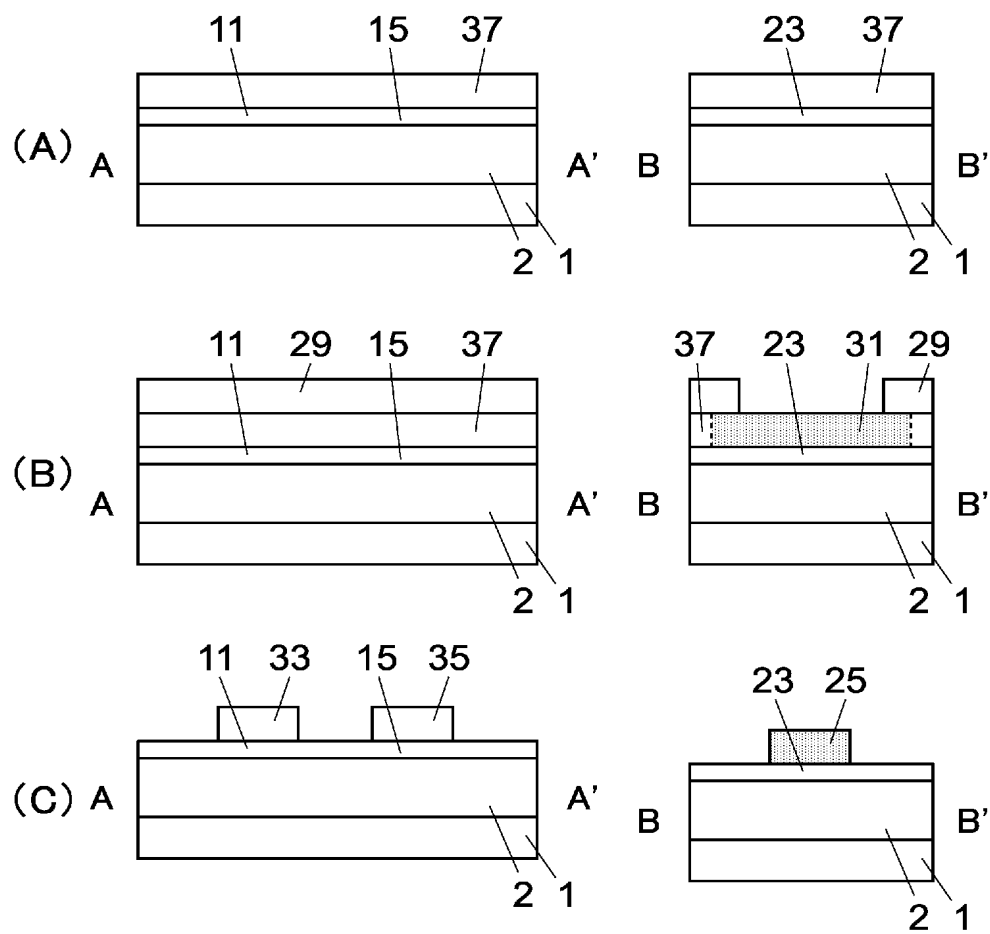
【図 4】



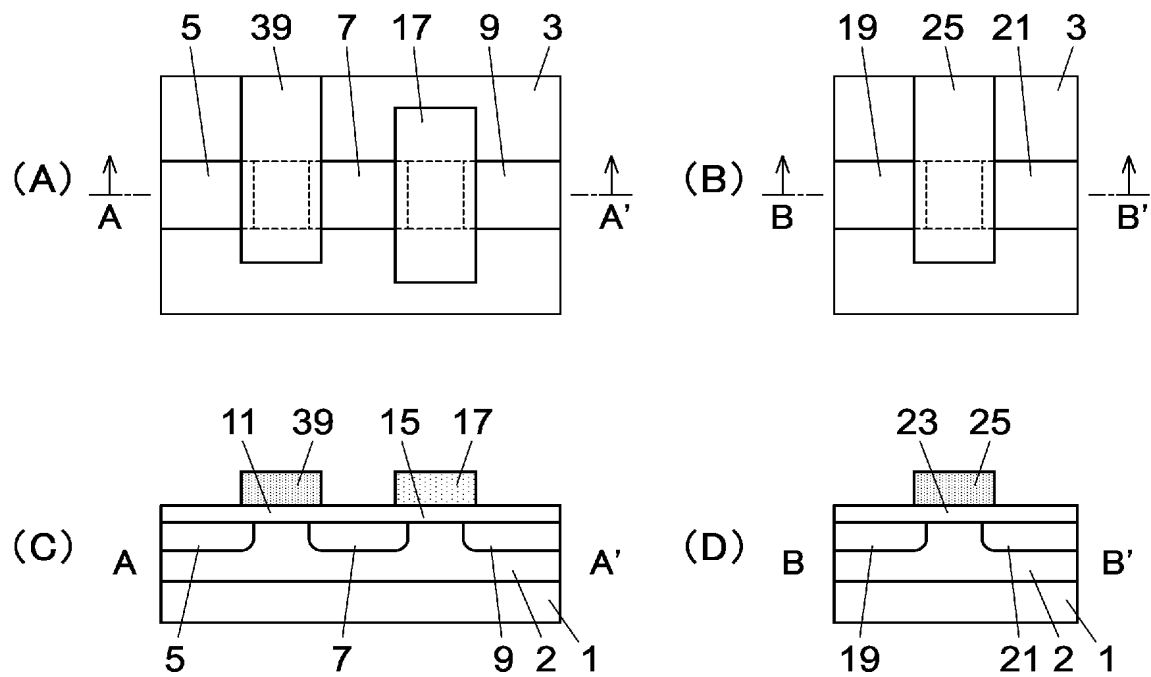
【图 5】



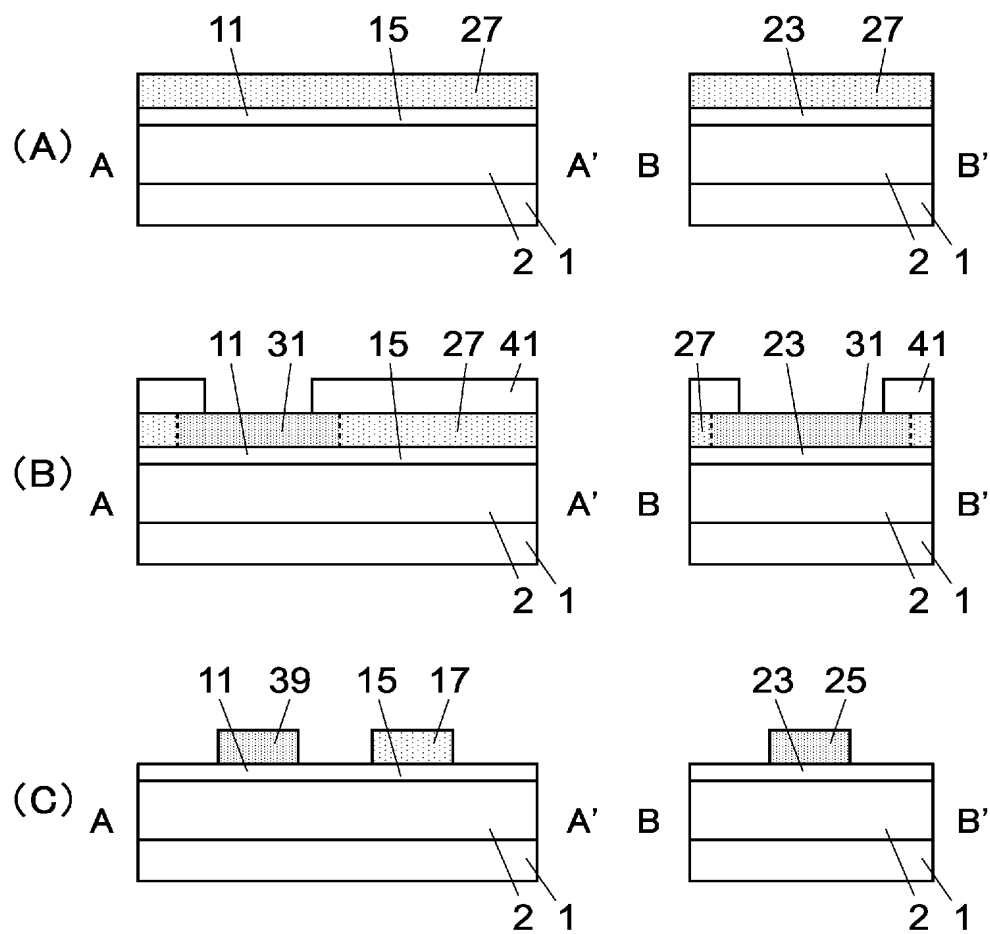
【图 6】



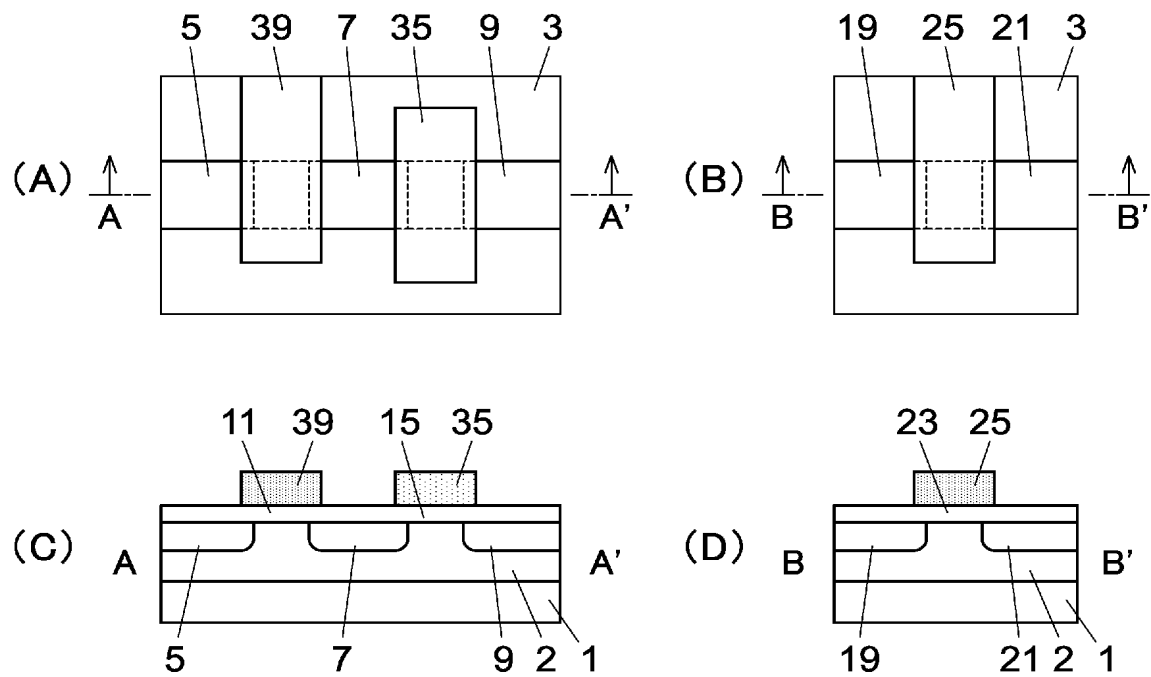
【图 7】



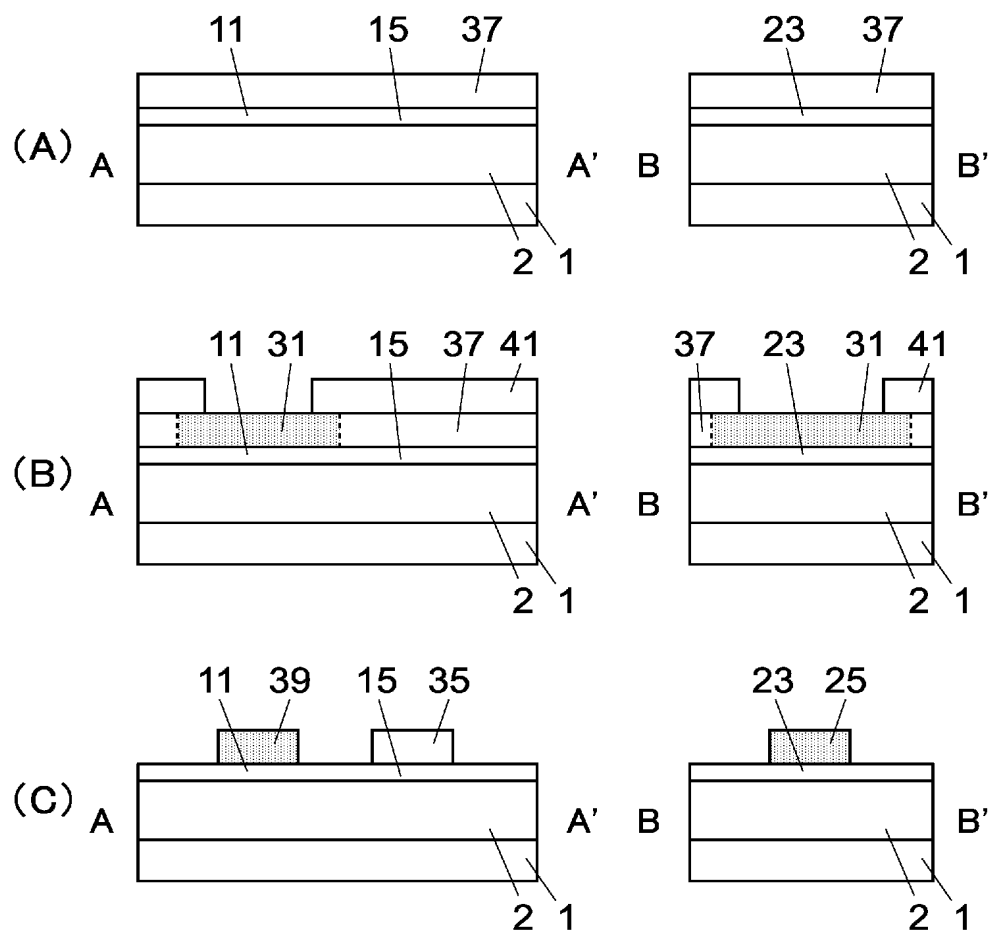
【图 8】



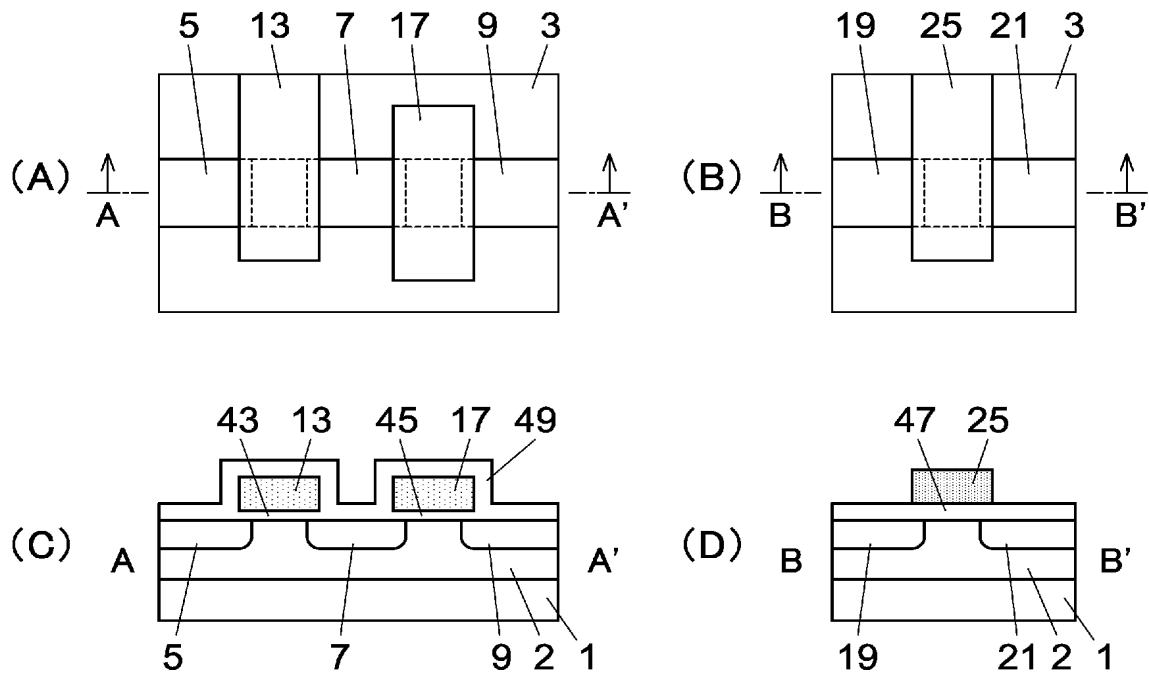
【图 9】



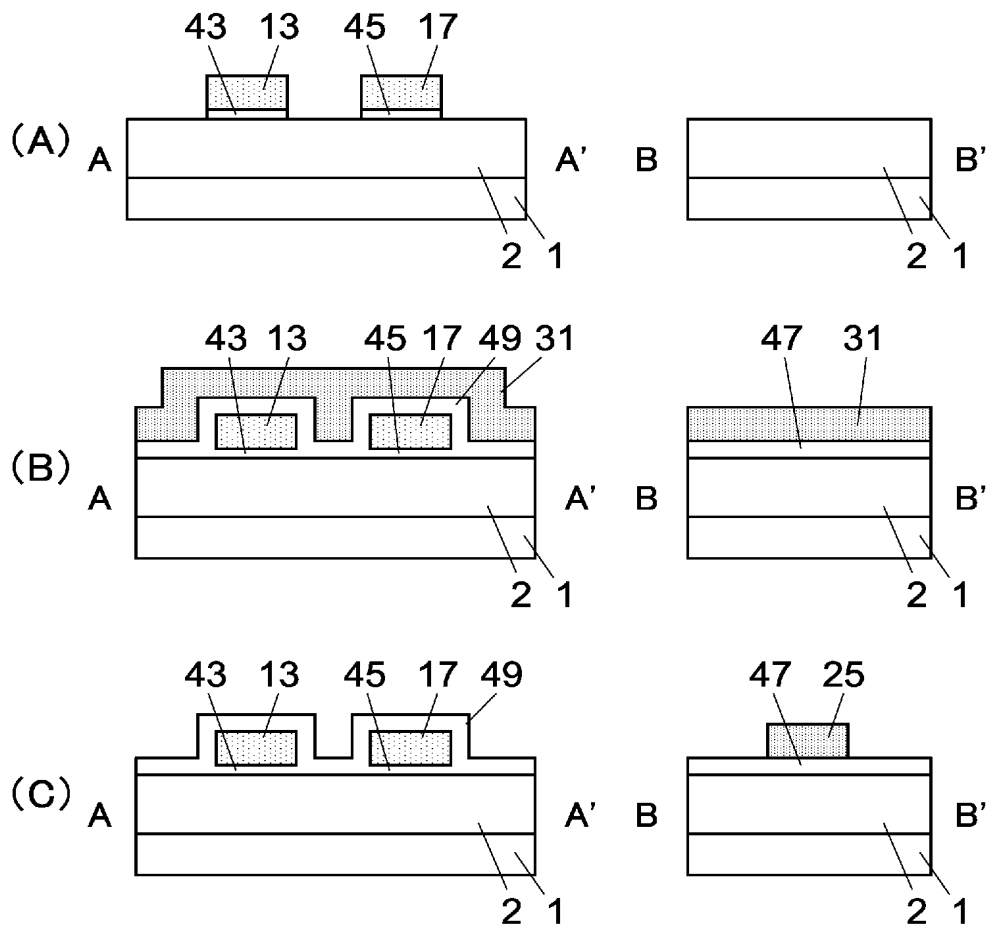
【图 10】



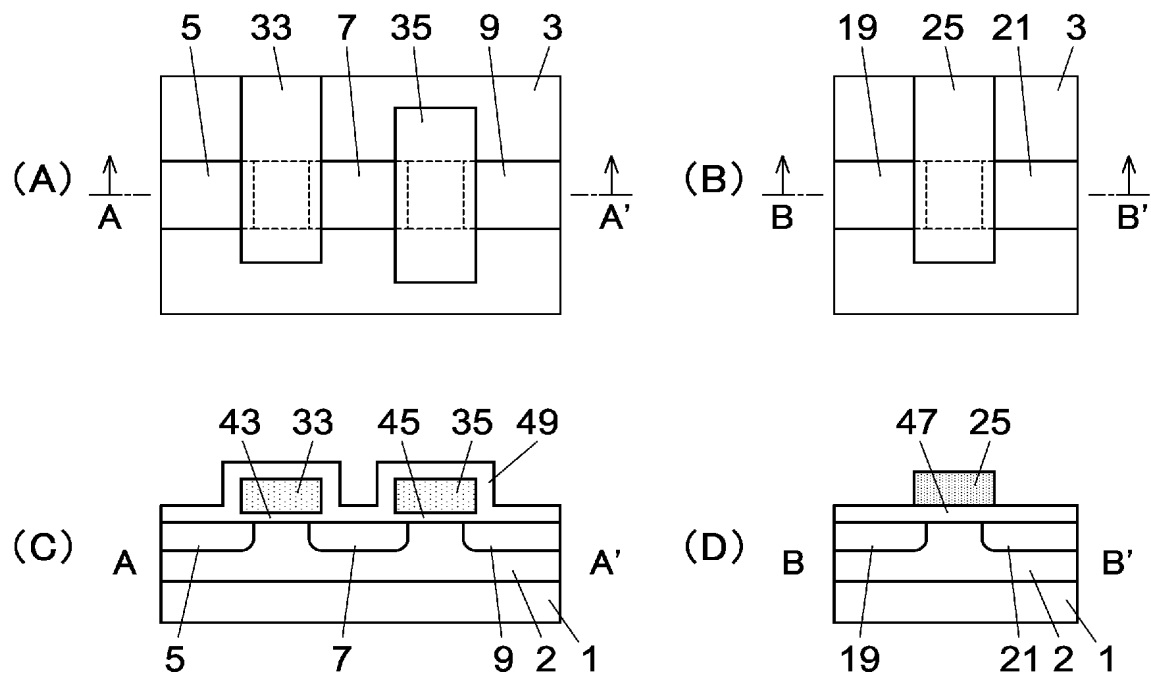
【图 1 1】



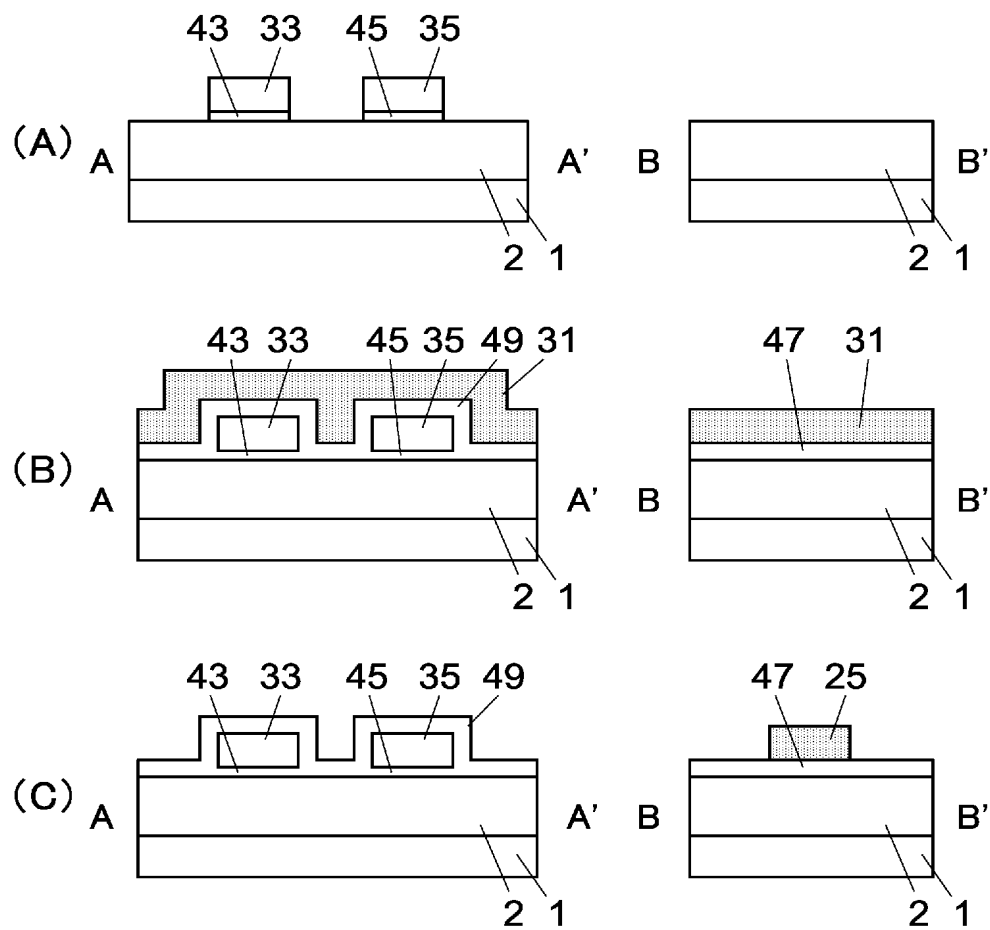
【图 1 2】



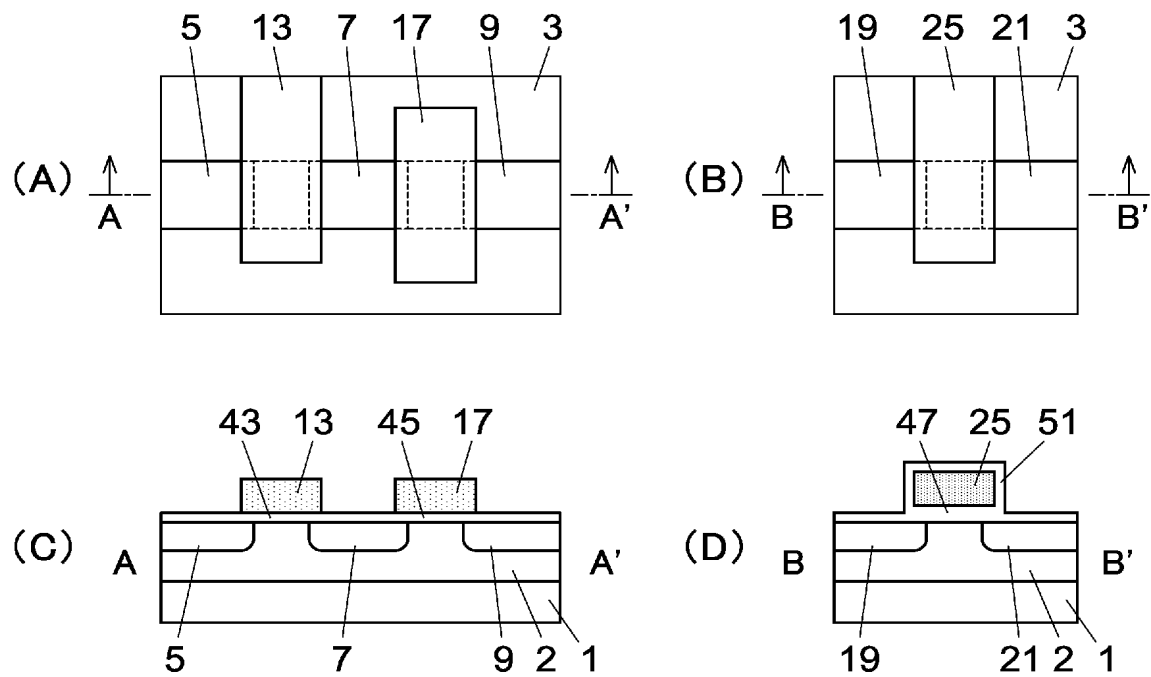
【图 1 3】



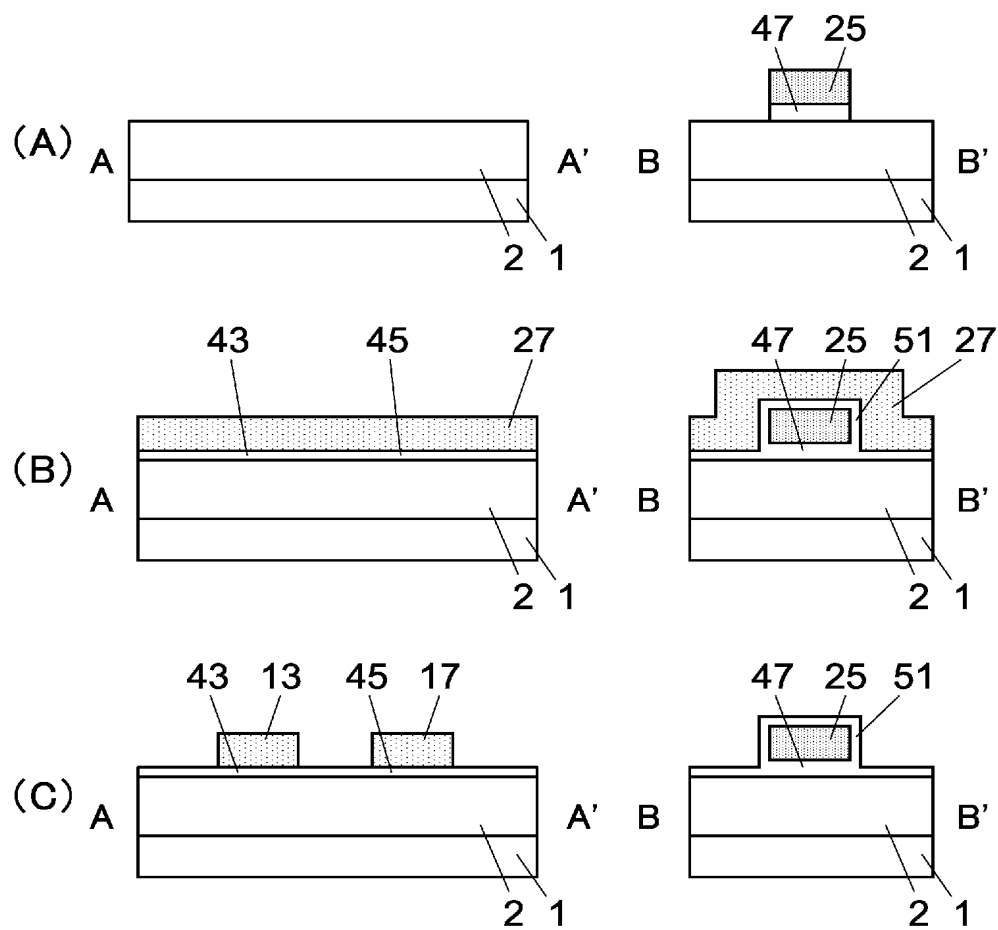
【图 1 4】



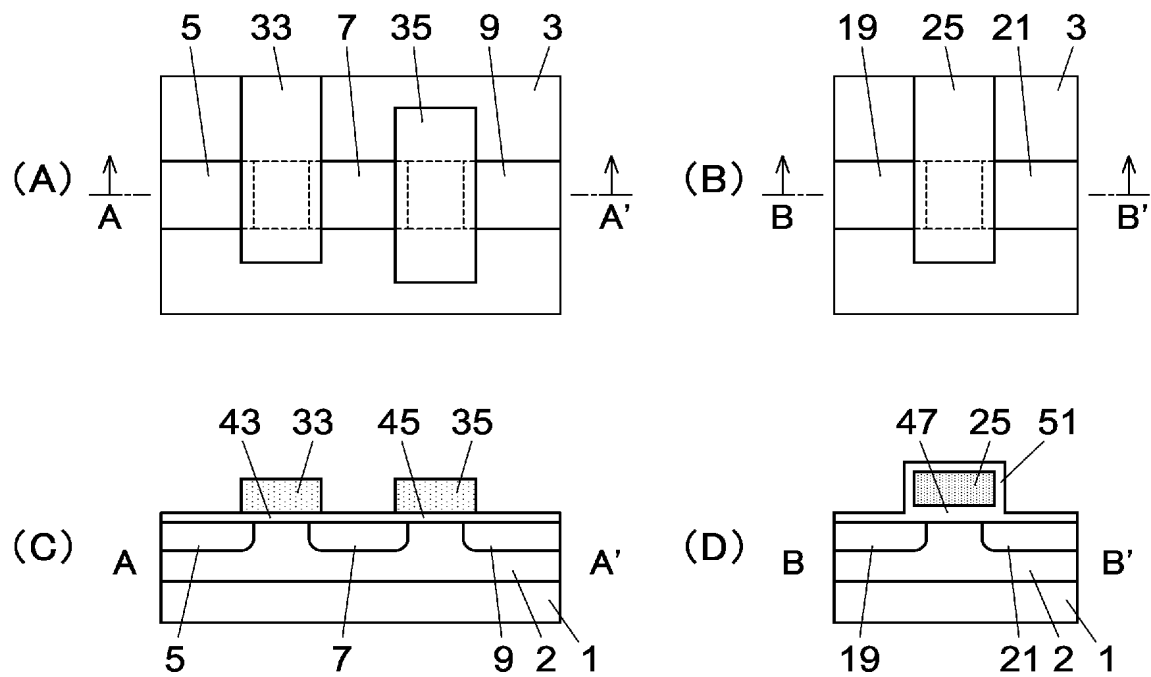
【图 1 5】



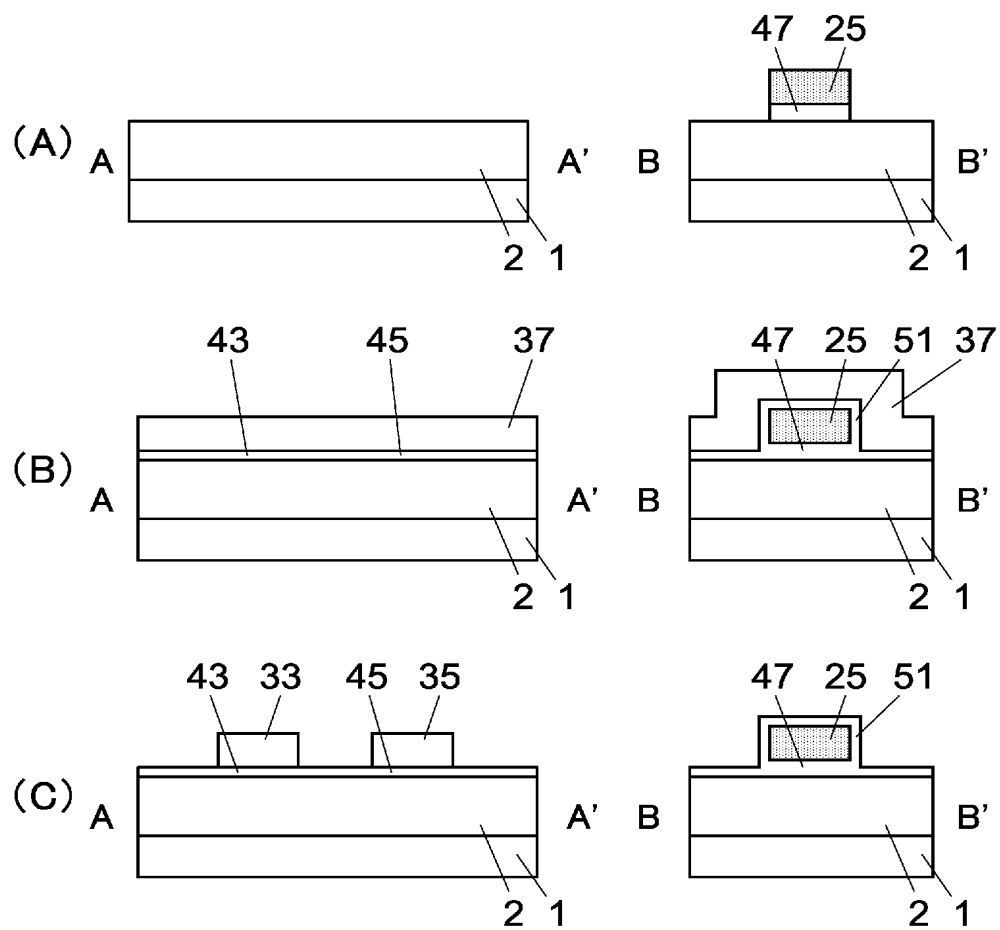
【图 1 6】



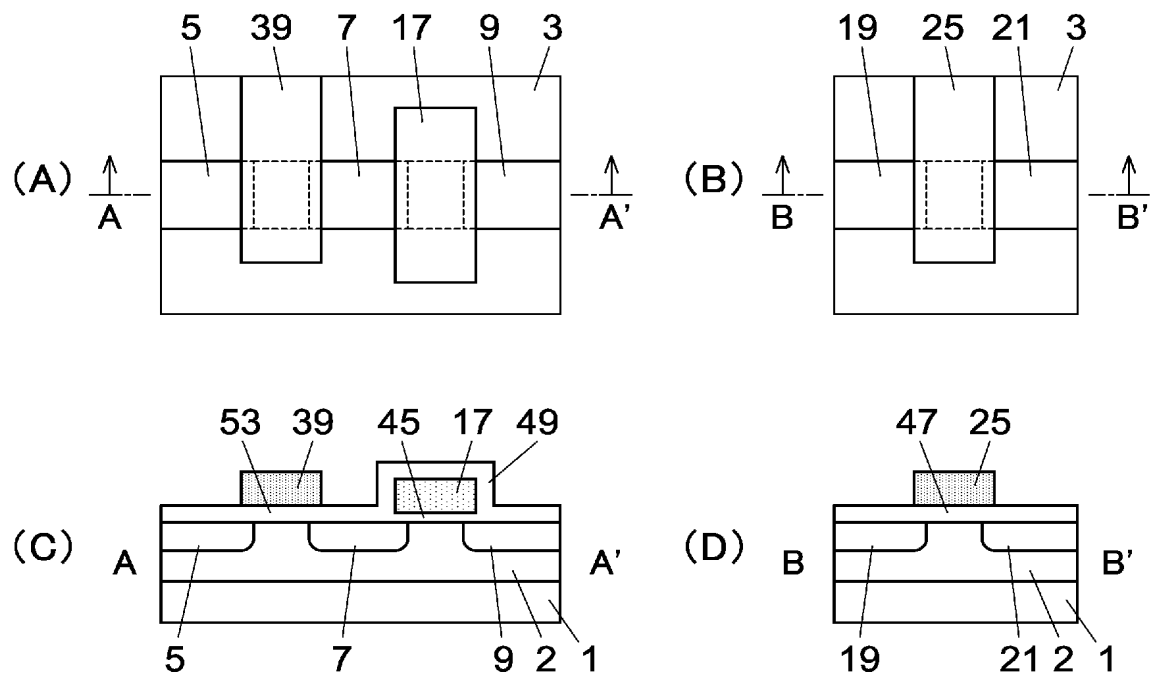
【图 1 7】



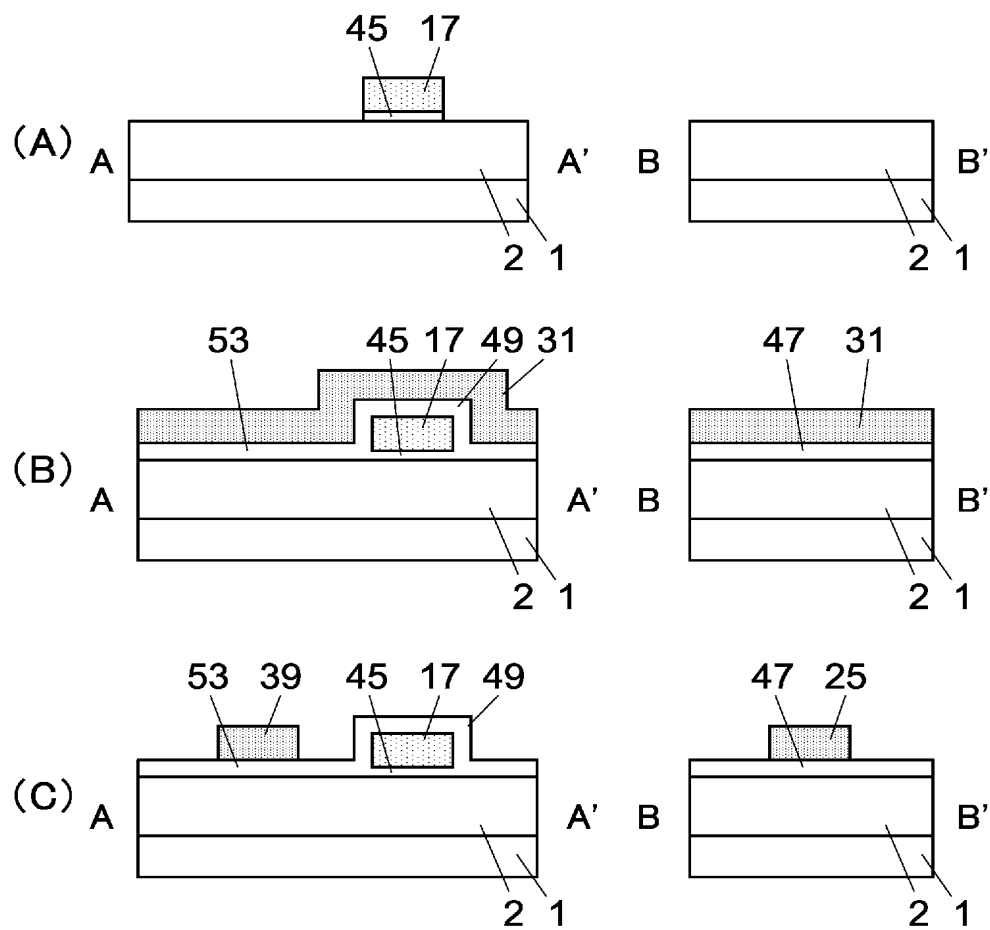
【图 1 8】



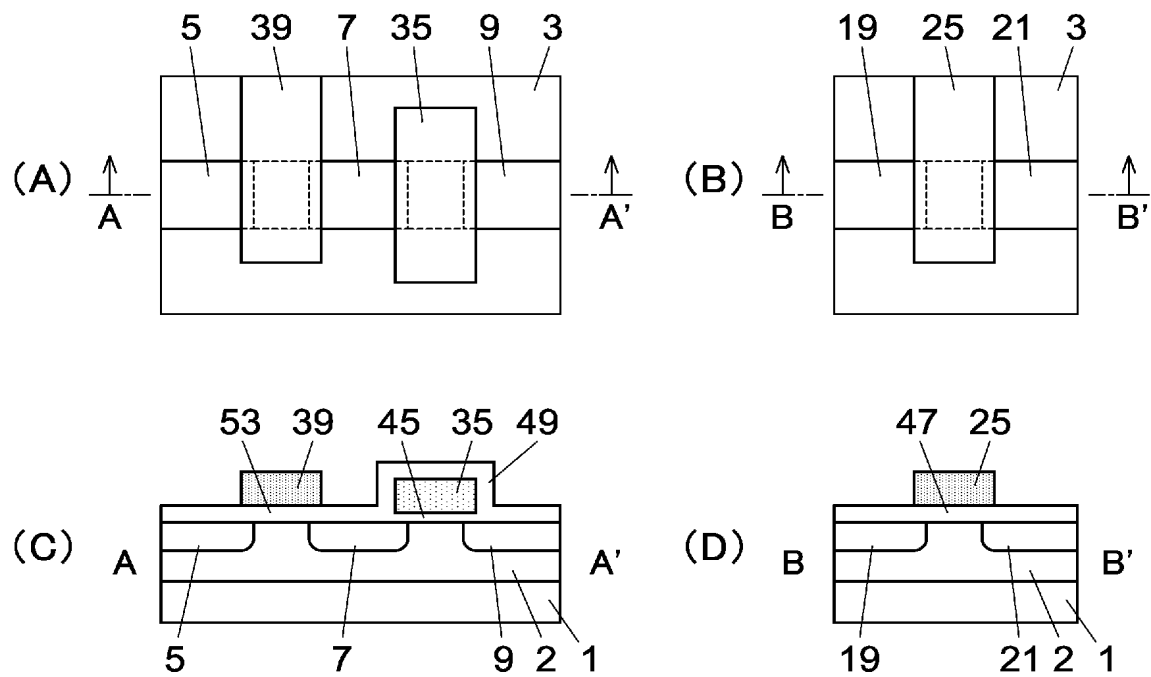
【图 1 9】



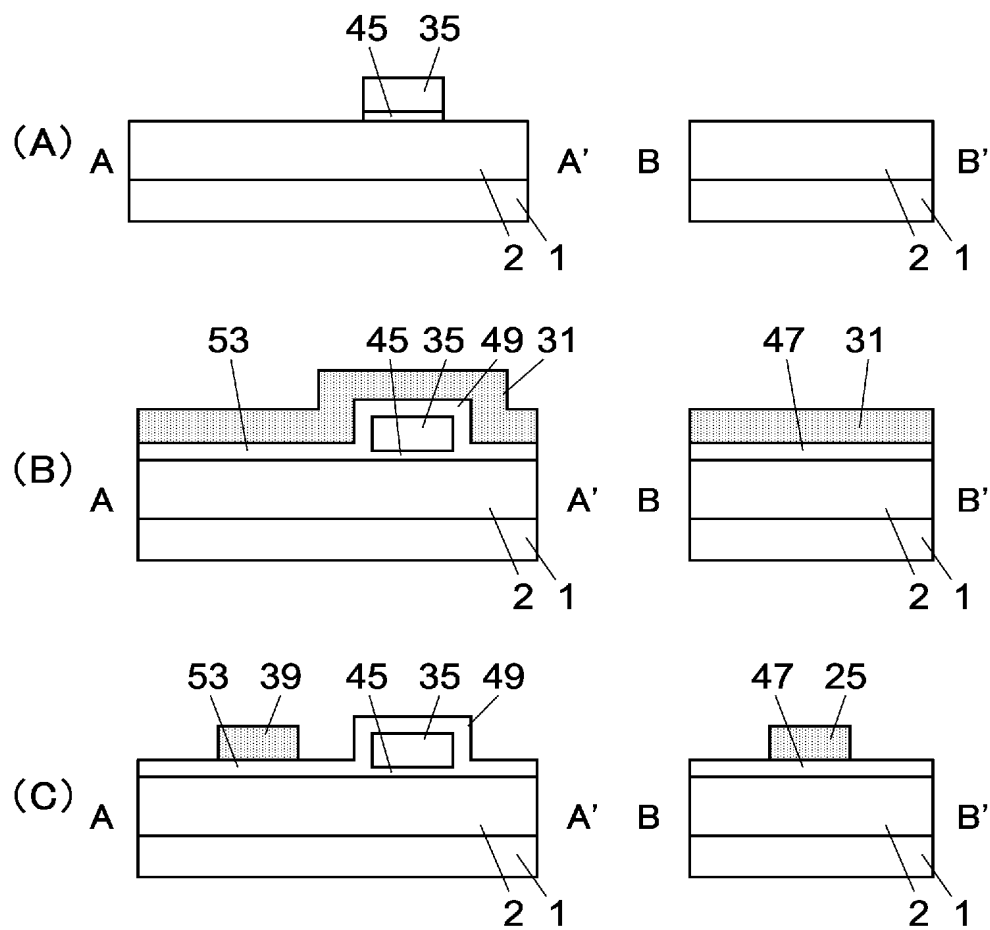
【图 2 0】



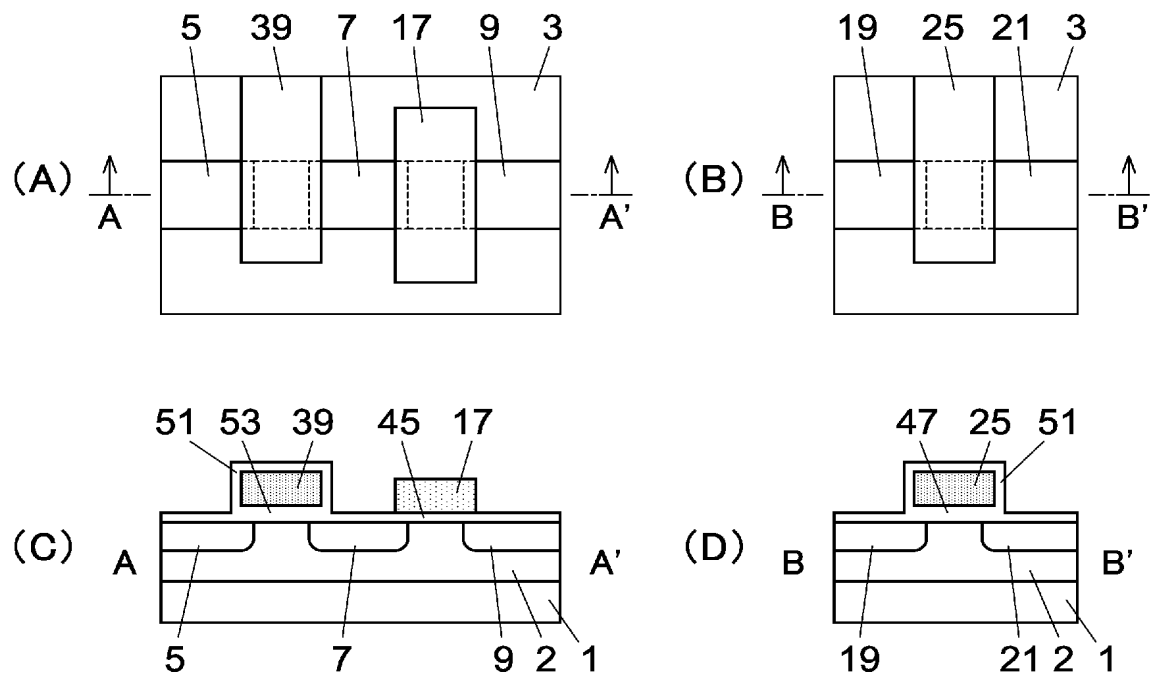
【图 2 1】



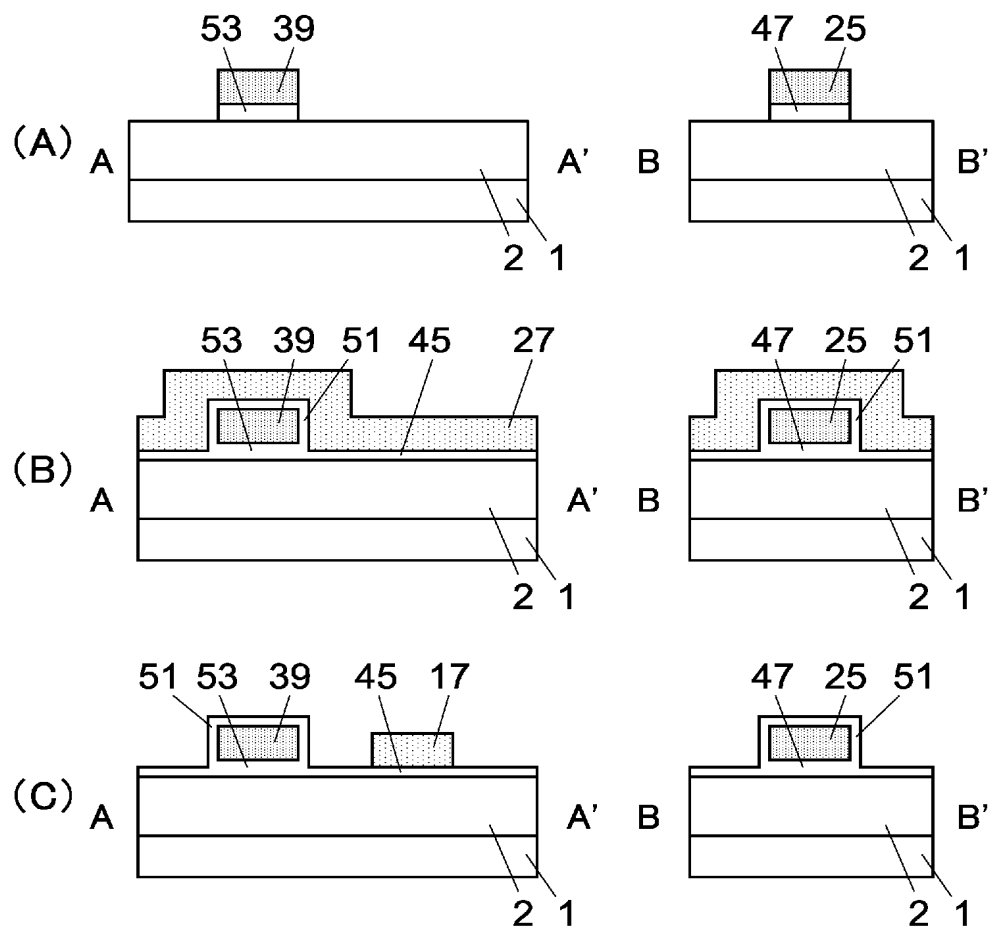
【图 2 2】



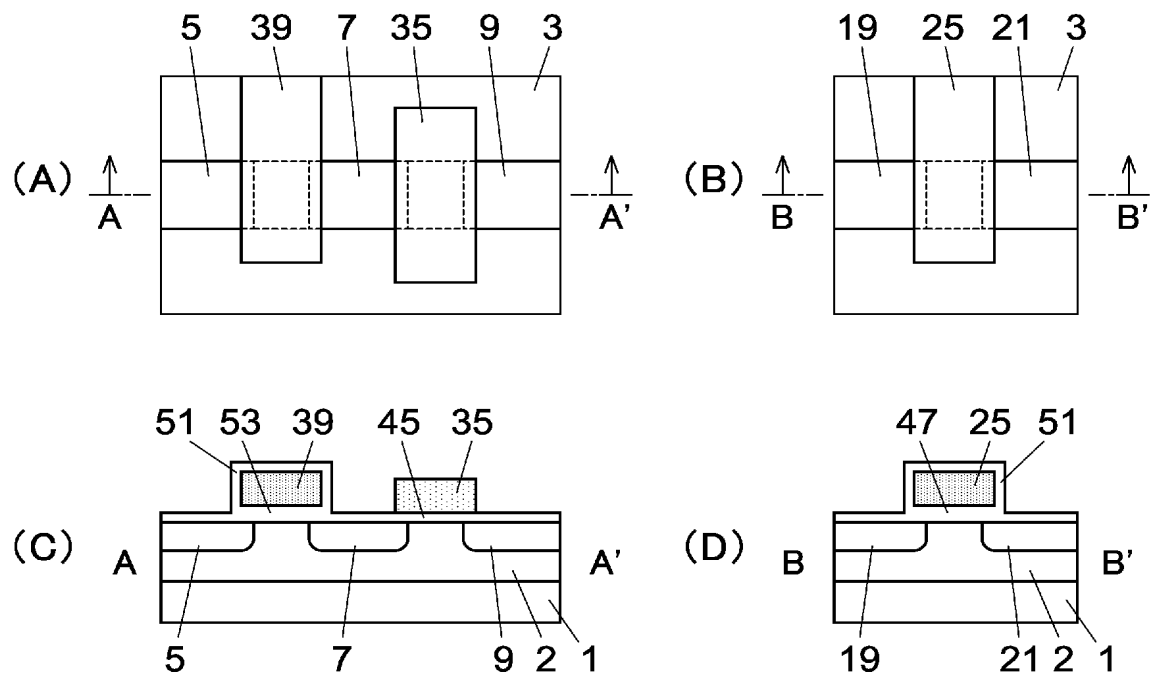
【图 2 3】



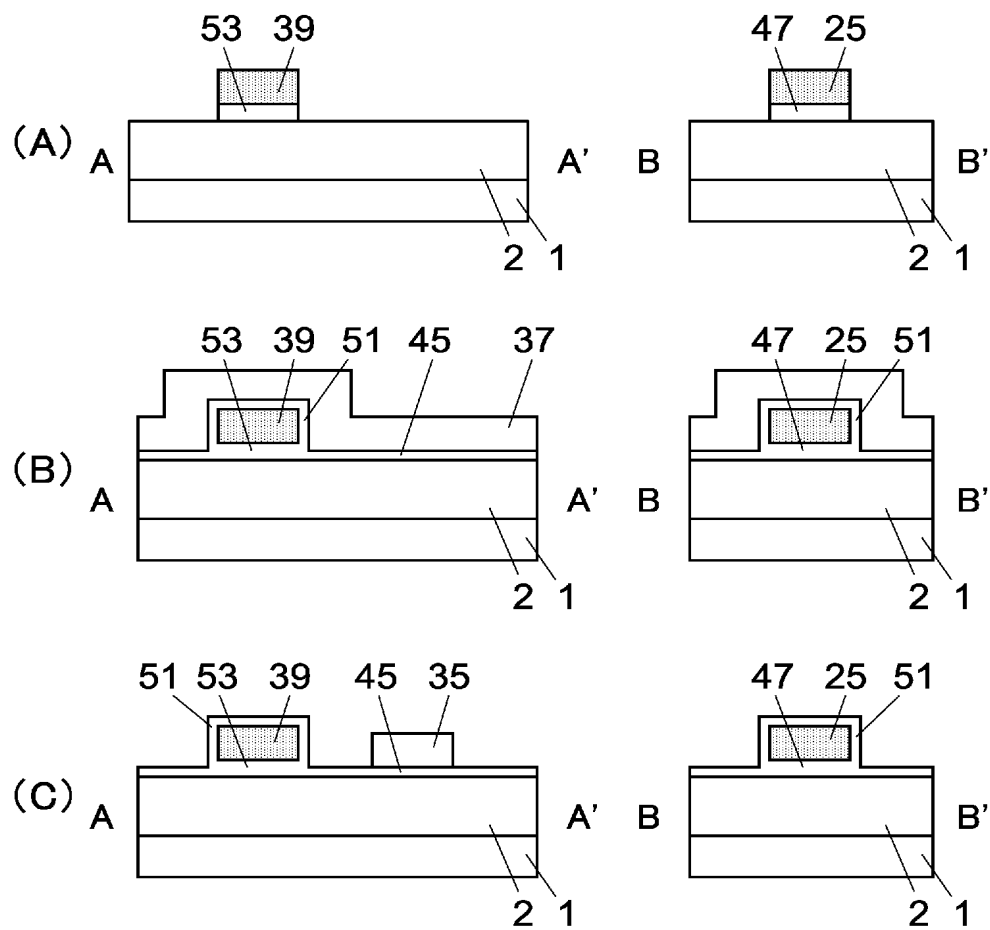
【图 2 4】



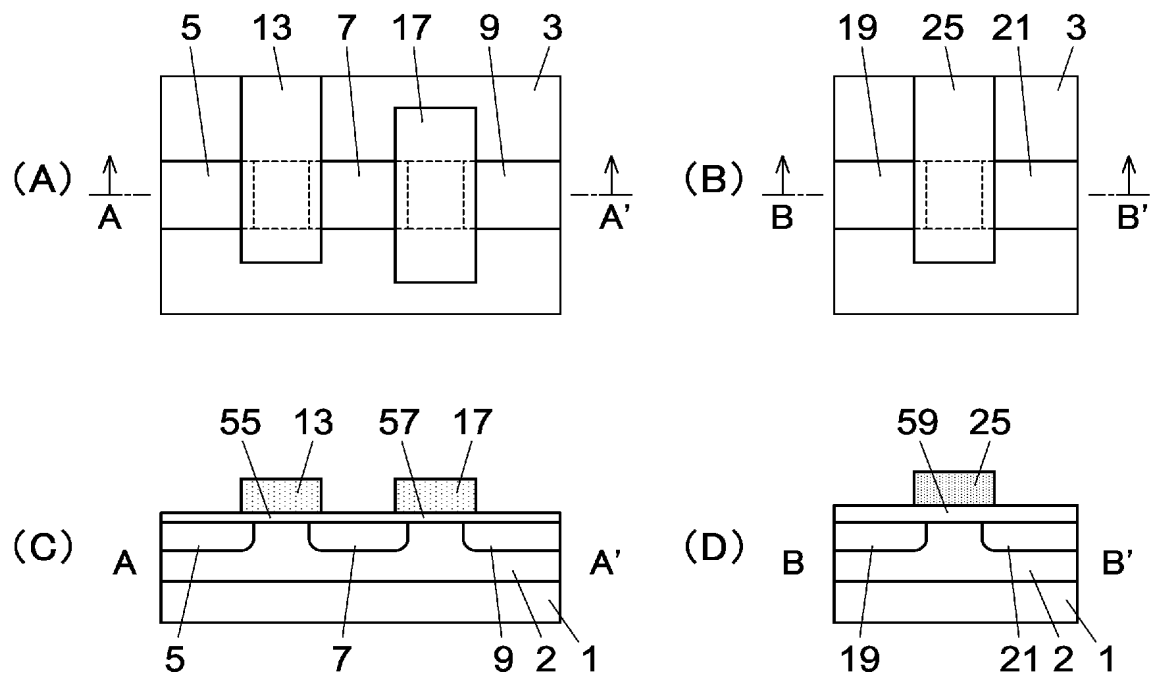
【图 2 5】



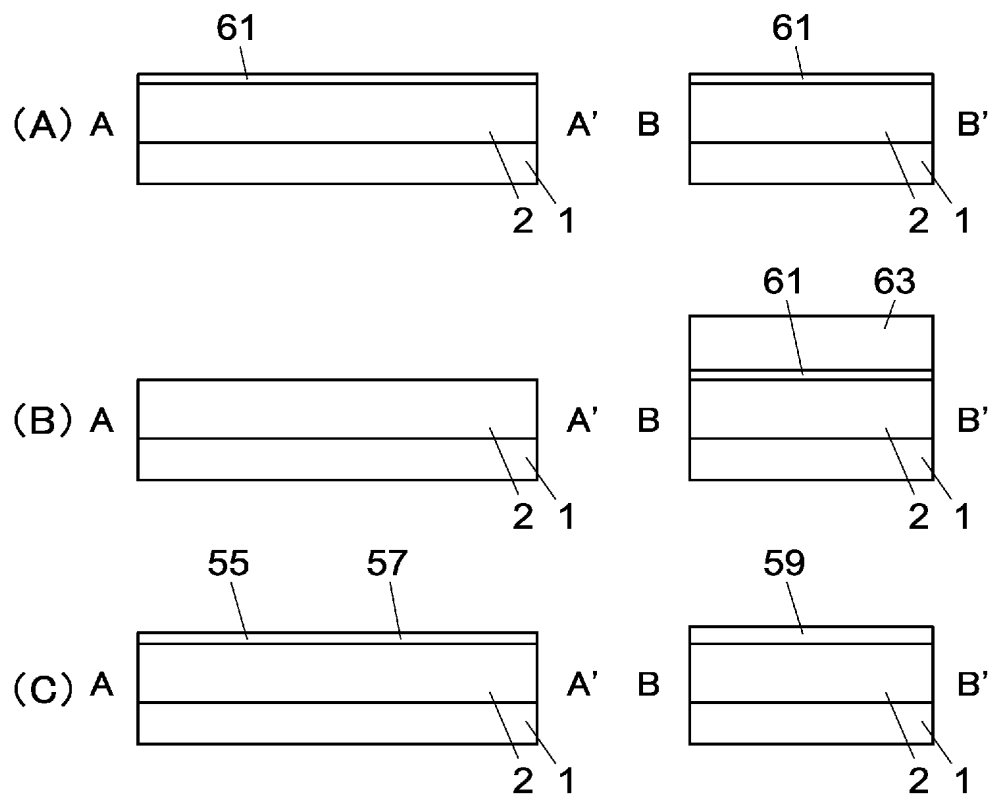
【图 2 6】



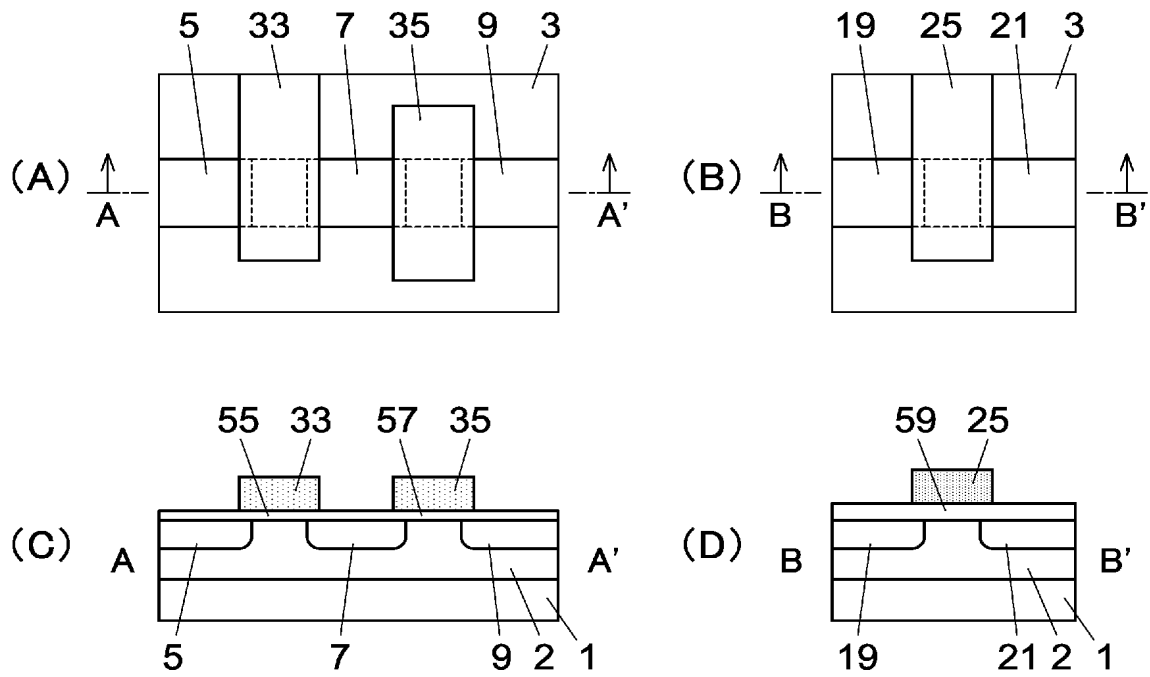
【图 2 7】



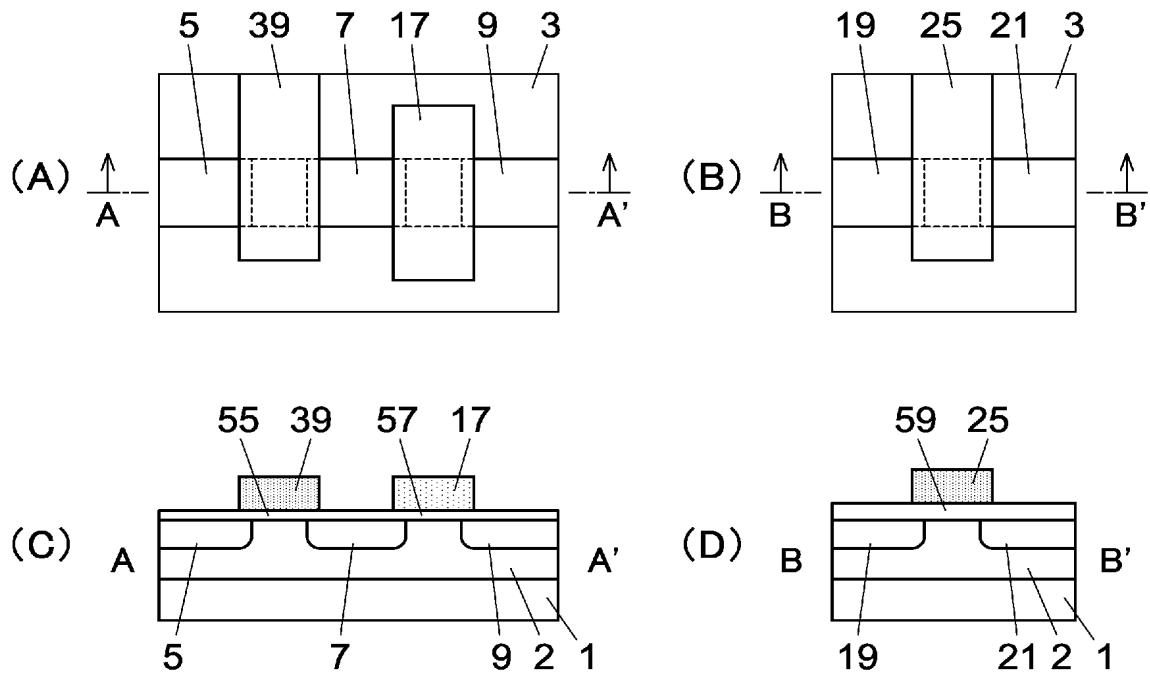
【图 2 8】



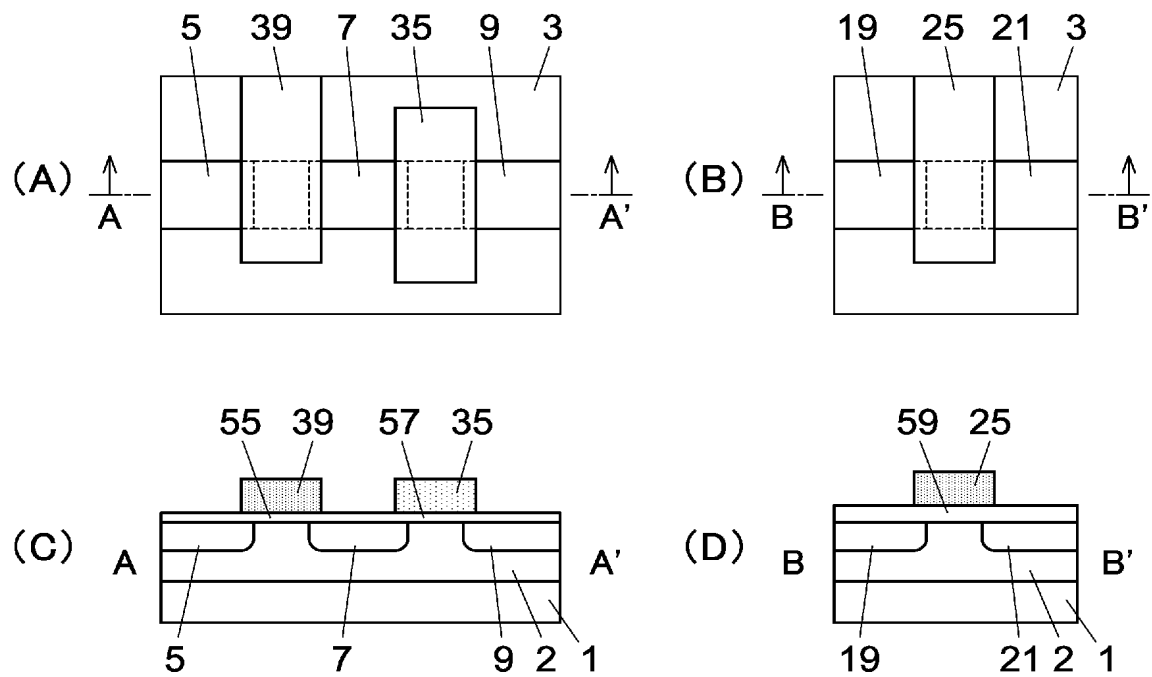
【图 2 9】



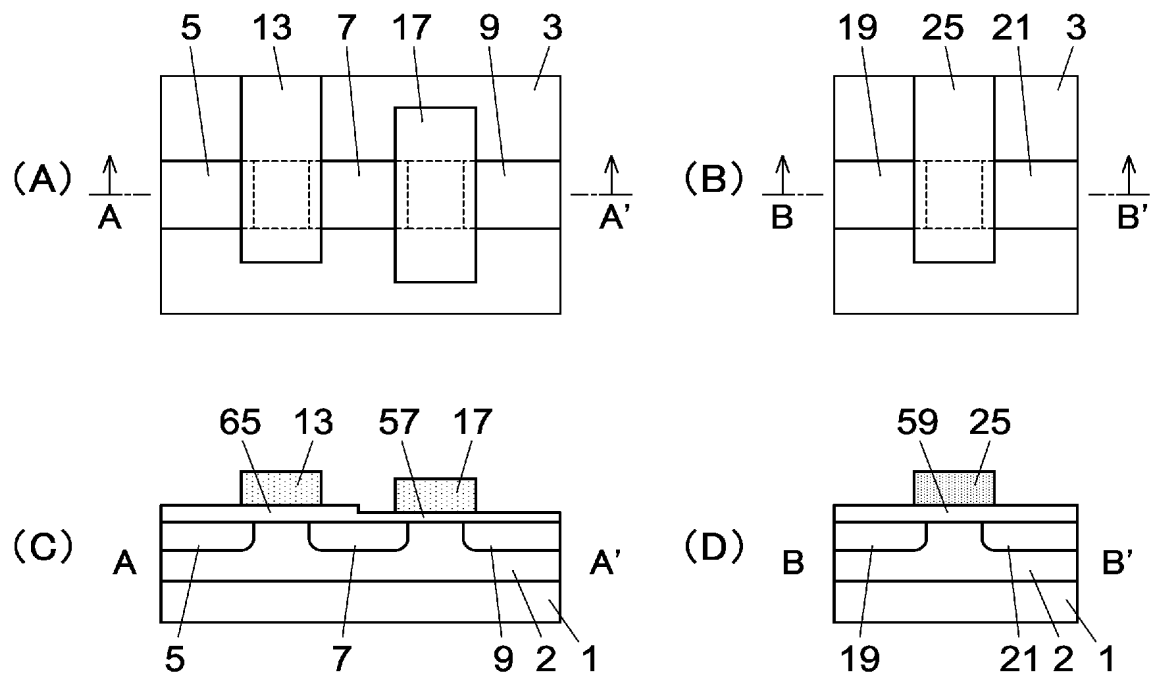
【图 3 0】



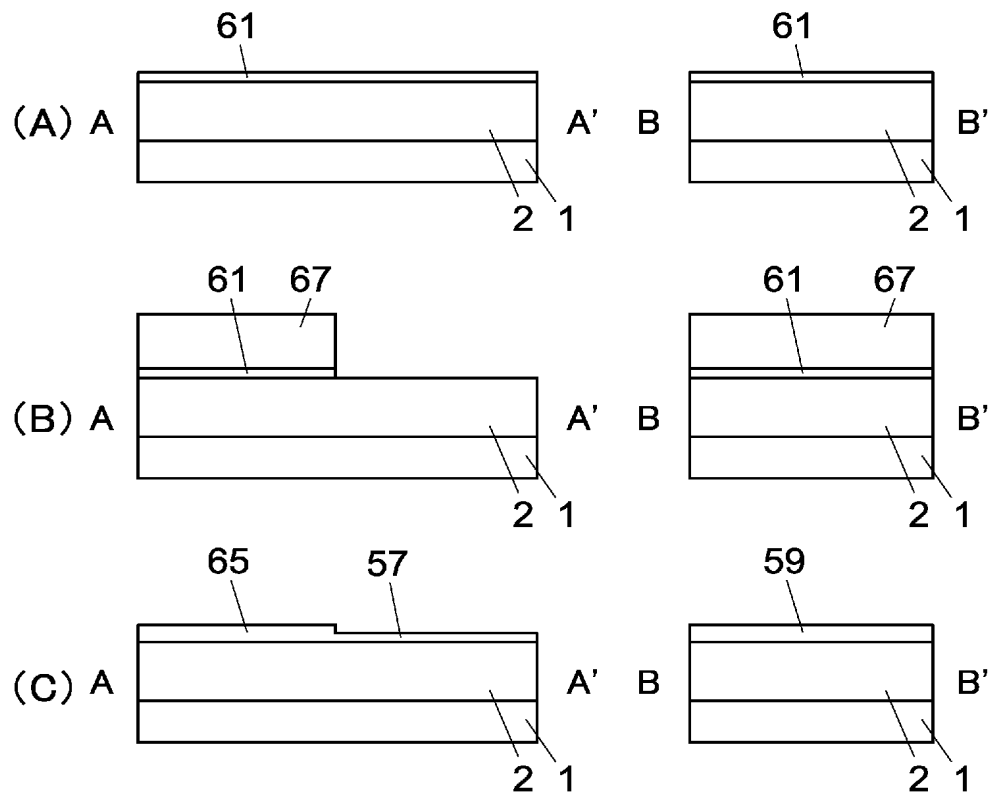
【图 3 1】



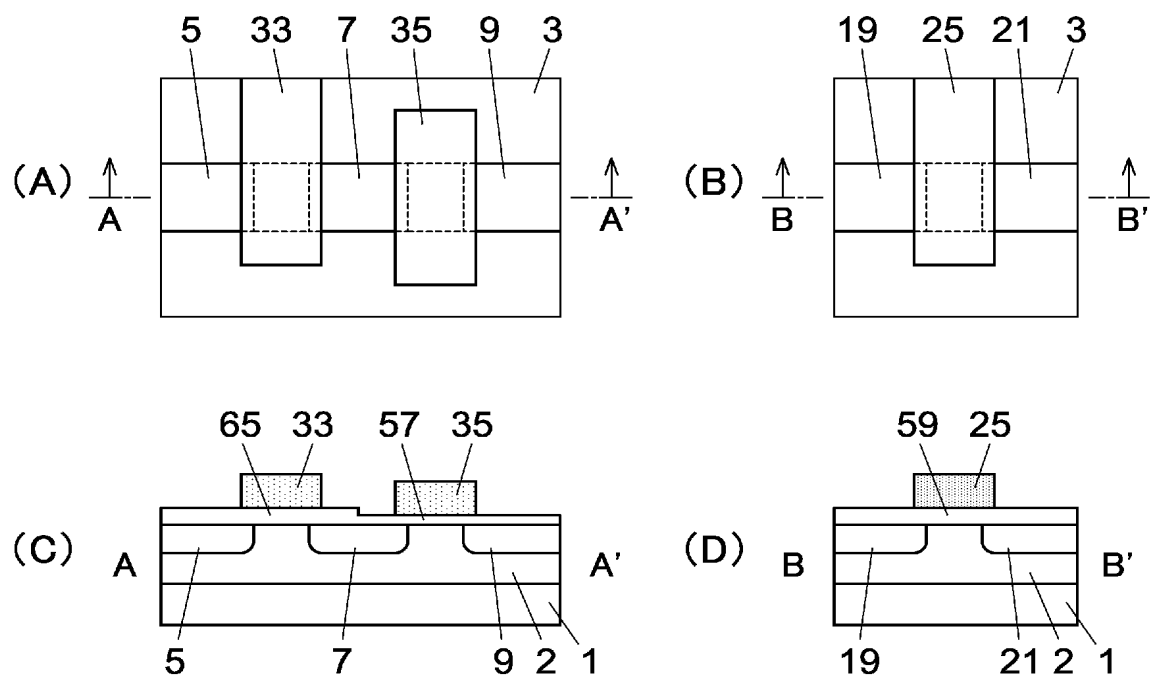
【图 3 2】



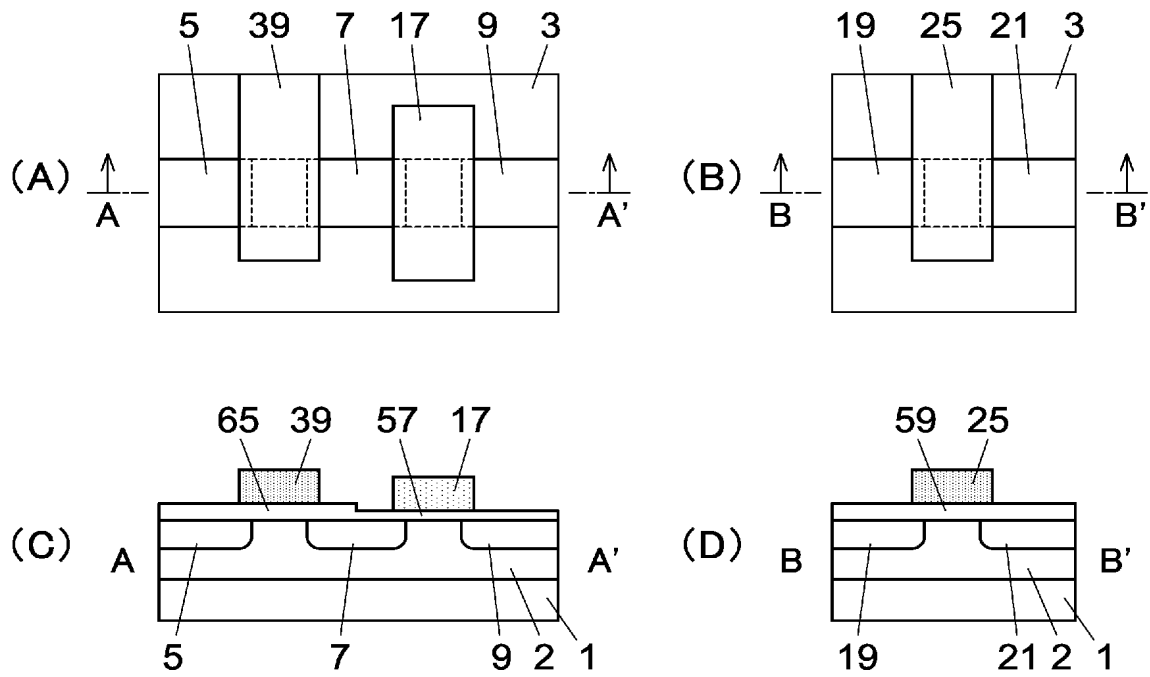
【图 3 3】



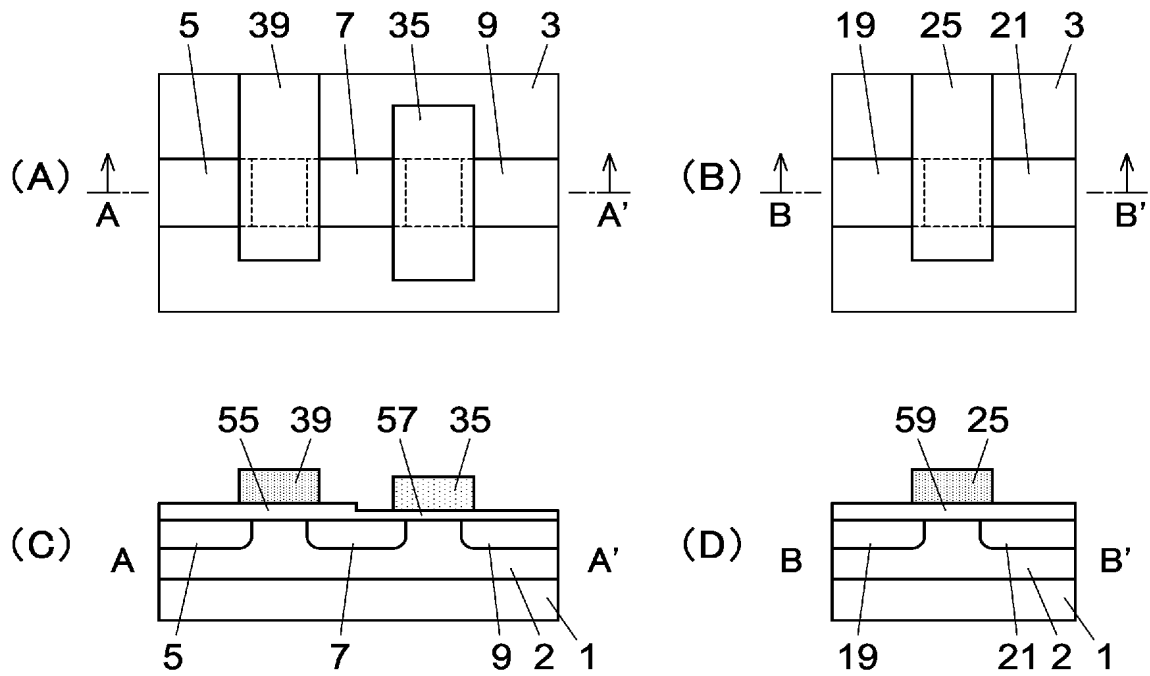
【图 3 4】

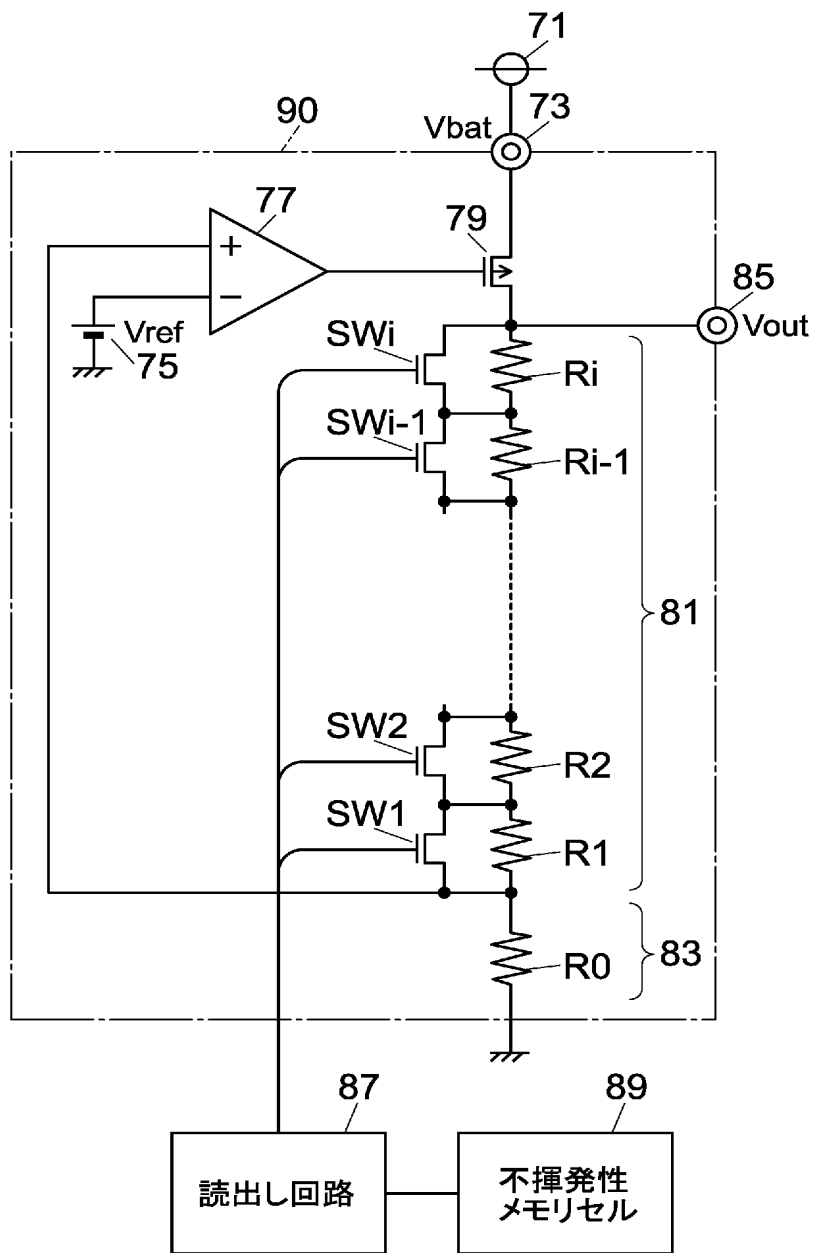


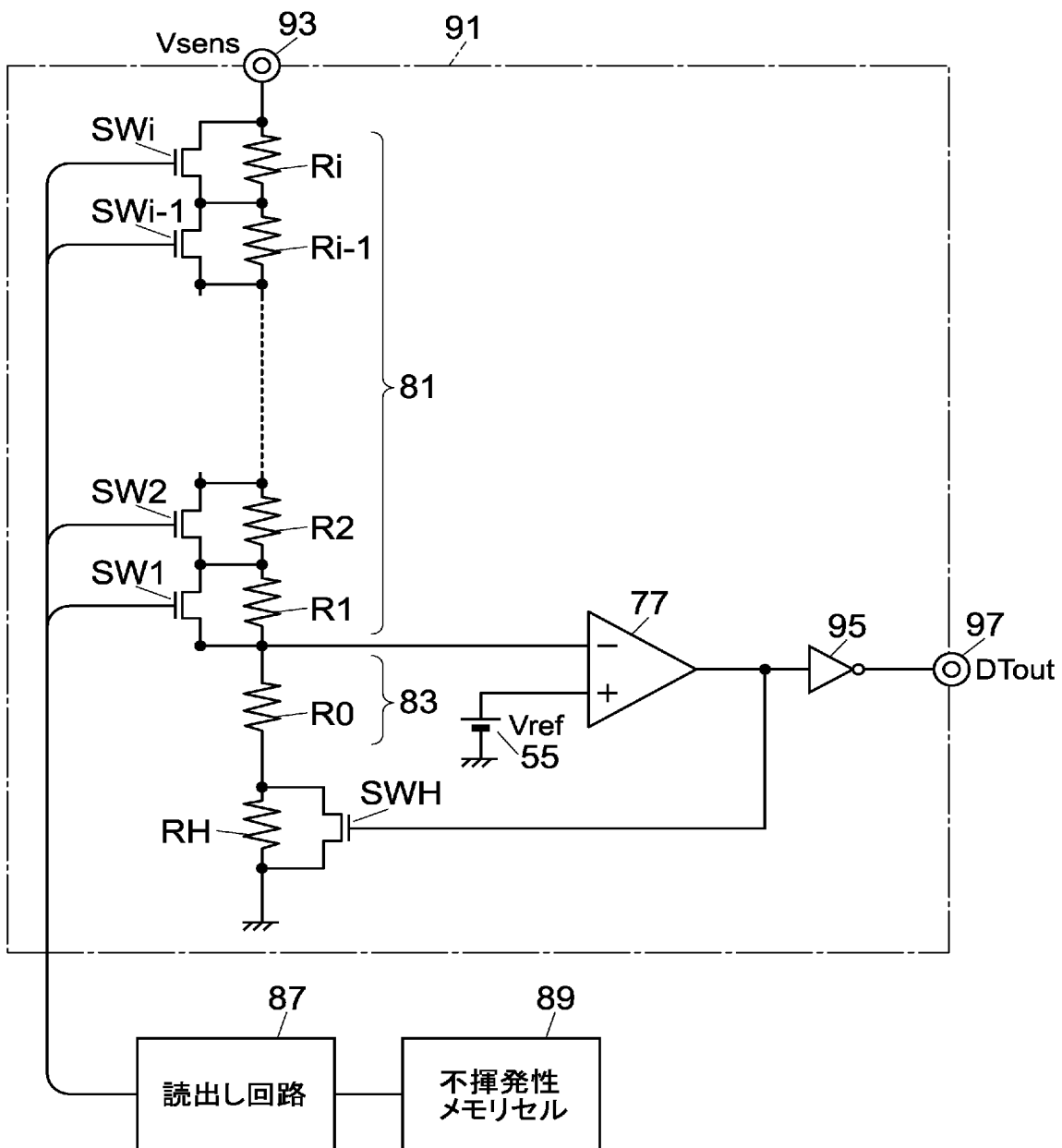
【图 3 5】



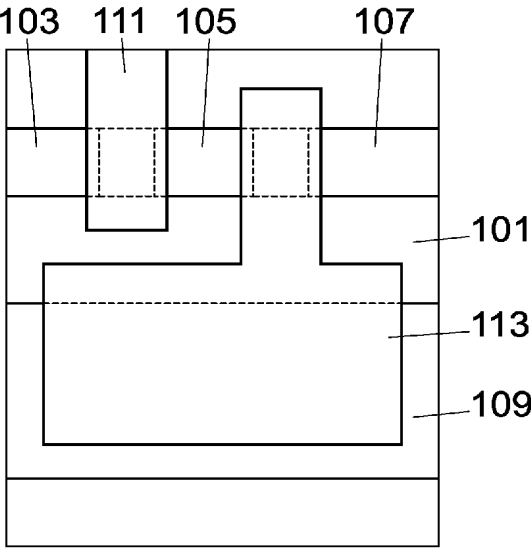
【图 3 6】



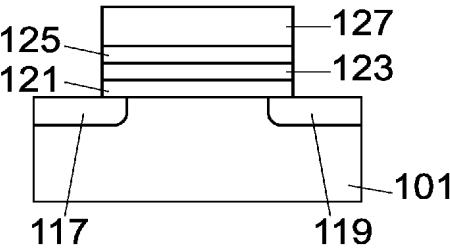




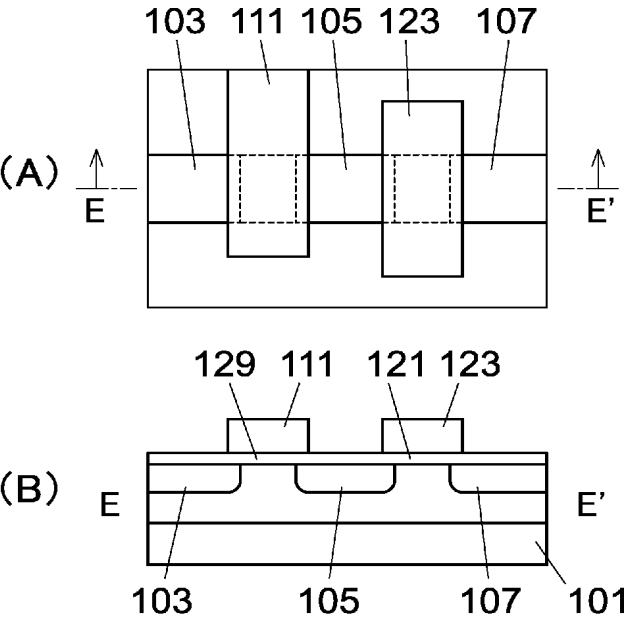
【图 3 9】



【图 4 0】



【图 4 1】



【書類名】 要約書

【要約】

【課題】 浮遊ゲートをもち制御ゲートを備えていないメモリトランジスタ及び選択トランジスタからなる不揮発性メモリセルと周辺回路トランジスタを備えた半導体装置において、メモリトランジスタの電荷保持特性を向上させる。

【解決手段】 半導体基板 2 上メモリゲート酸化膜 1 5 とメモリゲート酸化膜 1 5 上に形成された浮遊ゲート 1 7 をもつメモリトランジスタと、半導体基板 2 上に形成された選択ゲート酸化膜 1 1 と選択ゲート酸化膜 1 1 上に形成された選択ゲート 1 3 をもち、メモリトランジスタに直列に接続されている選択トランジスタを備えた不揮発性メモリセルと、半導体基板 2 上に形成された周辺回路ゲート酸化膜 2 3 と周辺回路ゲート酸化膜 2 3 上に形成された周辺回路ゲート 2 5 をもつ周辺回路トランジスタを備え、浮遊ゲート 1 5 のポリシリコン内の不純物濃度は周辺回路ゲート 2 5 のポリシリコン内の不純物濃度よりも薄くなっている。

【選択図】 図 1

【書類名】 手続補正書
【整理番号】 200502431H
【提出日】 平成17年 4月12日
【あて先】 特許庁長官殿
【事件の表示】
【出願番号】 特願2005- 97472
【補正をする者】
【識別番号】 000006747
【氏名又は名称】 株式会社リコー
【代理人】
【識別番号】 100085464
【弁理士】
【氏名又は名称】 野口 繁雄
【手続補正1】
【補正対象書類名】 明細書
【補正対象項目名】 0 0 3 5
【補正方法】 削除

【手続補正2】
【補正対象書類名】 明細書
【補正対象項目名】 0 0 5 0
【補正方法】 変更
【補正の内容】
【0 0 5 0】

図3は、第1実施例のメモリセルをマトリクス配置した場合の一例を示す回路図である。この回路構成は以下に説明する各実施例にも適用できる。

メモリセルがマトリクス配置されている。横方向（ワードラインWL方向）に並ぶセル $i0$, $i1$, ... の選択ゲート13は共通のワードラインWL i に電氣的に接続されている。また、P型拡散層5は共通のソースラインSL i に電氣的に接続されている。縦方向（ビットラインBit方向）に並ぶセル $0i$, $1i$, ... のP型拡散層9は共通のビットラインBit i に電氣的に接続されている。ここで、 i は0又は自然数である。

【手続補正3】
【補正対象書類名】 明細書
【補正対象項目名】 0 0 6 3
【補正方法】 変更
【補正の内容】
【0 0 6 3】

(2) ノンドープポリシリコン膜37上に、メモリトランジスタ及び選択トランジスタ領域の形成領域を覆い、周辺回路トランジスタの形成領域に開口部をもつHTO膜29を形成する。ノンドープポリシリコン膜37上及びHTO膜29上にPSG（図示は省略）を堆積し、周辺回路トランジスタの形成領域のノンドープポリシリコン膜37にリンを熱拡散させてポリシリコン膜31を形成する（図6（B）参照。）。

【手続補正4】
【補正対象書類名】 明細書
【補正対象項目名】 0 0 6 4
【補正方法】 変更
【補正の内容】
【0 0 6 4】

(3) PSG及びH T O膜29を除去した後、写真製版技術及びエッチング技術により、ノンドープポリシリコン膜37から、選択トランジスタ領域のフィールド酸化膜3上及び選択ゲート酸化膜11上に選択ゲート33を形成し、メモリトランジスタ領域のフィールド酸化膜3上及メモリゲート酸化膜15上に浮遊ゲート35を形成し、ポリシリコン膜31から、周辺回路トランジスタ領域のフィールド酸化膜3上及び周辺回路ゲート酸化膜23上に周辺回路ゲート25を形成する(図6(C)参照。)

【手続補正5】

【補正対象書類名】 明細書
【補正対象項目名】 0072
【補正方法】 変更
【補正の内容】
【0072】

(2) ポリシリコン膜27上に、メモリトランジスタの形成領域を覆い、周辺回路トランジスタ及び選択トランジスタ領域の形成領域に開口部をもつH T O膜41を形成する。ポリシリコン膜27上及びH T O膜41上にPSG(図示は省略)を堆積し、周辺回路トランジスタ及び選択トランジスタ領域の形成領域のポリシリコン膜27にリンを熱拡散させてポリシリコン膜31を形成する(図8(B)参照。)

【手続補正6】

【補正対象書類名】 明細書
【補正対象項目名】 0073
【補正方法】 変更
【補正の内容】
【0073】

(3) PSG及びH T O膜41を除去した後、写真製版技術及びエッチング技術により、ポリシリコン膜27から、メモリトランジスタ領域のフィールド酸化膜3上及メモリゲート酸化膜15上に浮遊ゲート17を形成し、ポリシリコン膜31から、選択トランジスタ領域のフィールド酸化膜3上及び選択ゲート酸化膜11上に選択ゲート39を形成し、周辺回路トランジスタ領域のフィールド酸化膜3上及び周辺回路ゲート酸化膜23上に周辺回路ゲート25を形成する(図8(C)参照。)

ここで、PSG及びH T O膜29を除去した後、全面にH T O膜を形成し、写真製版技術及びエッチング技術によりH T O膜及びポリシリコン膜27, 31をパターンニングして、選択ゲート39上、浮遊ゲート17上及び周辺回路ゲート25上にH T O膜パターンを形成しておき、後工程でのBF₂注入工程において選択ゲート39、浮遊ゲート17及び周辺回路ゲート25にBF₂が注入されないようにしてもよい。

【手続補正7】

【補正対象書類名】 明細書
【補正対象項目名】 0075
【補正方法】 変更
【補正の内容】
【0075】

第3実施例では、選択ゲート39の不純物濃度は周辺回路ゲート25と同じであるので、両ゲート25, 39を同時に形成することができ、選択ゲート39、浮遊ゲート17及び周辺回路ゲート25をそれぞれ別々の工程で形成する場合に比べて製造工程を少なくすることができる。

【手続補正8】

【補正対象書類名】 明細書
【補正対象項目名】 0080
【補正方法】 変更
【補正の内容】
【0080】

(1) 図6(A)を参照して説明した上記工程(1)と同じ工程により、P基板1にNウェル2、フィールド酸化膜3(図9を参照。)、ゲート酸化膜11, 15, 23及びノンドープポリシリコン膜37を形成する(図10(A)参照。)

【手続補正9】

【補正対象書類名】 明細書
【補正対象項目名】 0082
【補正方法】 変更
【補正の内容】
【0082】

(3) PSG及びHTO膜41を除去した後、写真製版技術及びエッチング技術により、ノンドープポリシリコン膜37から、メモリトランジスタ領域のフィールド酸化膜3上及メモリゲート酸化膜15上に浮遊ゲート35を形成し、ポリシリコン膜31から、選択トランジスタ領域のフィールド酸化膜3上及び選択ゲート酸化膜11上に選択ゲート39を形成し、周辺回路トランジスタ領域のフィールド酸化膜3上及び周辺回路ゲート酸化膜23上に周辺回路ゲート25を形成する(図10(C)参照。)

【手続補正10】

【補正対象書類名】 明細書
【補正対象項目名】 0084
【補正方法】 変更
【補正の内容】
【0084】

第4実施例では、選択ゲート39の不純物濃度は周辺回路ゲート25と同じであるので、両ゲート25, 39を同時に形成することができ、選択ゲート39、浮遊ゲート35及び周辺回路ゲート25をそれぞれ別々の工程で形成する場合に比べて製造工程を少なくすることができる。

【手続補正11】

【補正対象書類名】 明細書
【補正対象項目名】 0125
【補正方法】 変更
【補正の内容】
【0125】

(3) 写真製版技術及びエッチング技術により、ノンドープポリシリコン膜37から、選択トランジスタ領域のフィールド酸化膜3上及び選択ゲート酸化膜43上に選択ゲート33を形成し、メモリトランジスタ領域のフィールド酸化膜3上及メモリゲート酸化膜45上に浮遊ゲート35を形成する(図18(C)参照。)

【手続補正12】

【補正対象書類名】 明細書
【補正対象項目名】 0182
【補正方法】 変更

【補正の内容】

【0182】

この実施例では、図5を参照して説明した上記第2実施例と同様の効果を得ることができる。

さらに、メモリゲート酸化膜57の膜厚は周辺回路ゲート酸化膜59の膜厚よりも薄く形成されているので、周辺回路ゲート酸化膜59の損傷を防止しつつ、またスナップバック破壊を起こさずに、メモリトランジスタの良好な書込みを行なうことができる。

【手続補正13】

【補正対象書類名】 明細書

【補正対象項目名】 0190

【補正方法】 変更

【補正の内容】

【0190】

この実施例では、図9を参照して説明した上記第4実施例と同様の効果を得ることができる。

さらに、メモリゲート酸化膜57の膜厚は周辺回路ゲート酸化膜59の膜厚よりも薄く形成されているので、周辺回路ゲート酸化膜59の損傷を防止しつつ、またスナップバック破壊を起こさずに、メモリトランジスタの良好な書込みを行なうことができる。

【手続補正14】

【補正対象書類名】 明細書

【補正対象項目名】 0203

【補正方法】 変更

【補正の内容】

【0203】

この実施例では、図5を参照して説明した上記第2実施例と同様の効果を得ることができる。

さらに、メモリゲート酸化膜57の膜厚は周辺回路ゲート酸化膜59の膜厚よりも薄く形成されているので、周辺回路ゲート酸化膜59の損傷を防止しつつ、またスナップバック破壊を起こさずに、メモリトランジスタの良好な書込みを行なうことができる。

【手続補正15】

【補正対象書類名】 明細書

【補正対象項目名】 0211

【補正方法】 変更

【補正の内容】

【0211】

この実施例では、図9を参照して説明した上記第4実施例と同様の効果を得ることができる。

さらに、メモリゲート酸化膜57の膜厚は周辺回路ゲート酸化膜59の膜厚よりも薄く形成されているので、周辺回路ゲート酸化膜59の損傷を防止しつつ、またスナップバック破壊を起こさずに、メモリトランジスタの良好な書込みを行なうことができる。

【手続補正16】

【補正対象書類名】 明細書

【補正対象項目名】 0216

【補正方法】 変更

【補正の内容】

【0216】

分割抵抗 8 3 は R 0 により構成される。分割抵抗 8 1 は、直列に接続された複数の抵抗値調整用抵抗素子 R 1 , R 2 , … R i − 1 , R i を備えている。抵抗値調整用抵抗素子 R 1 , R 2 , … R i − 1 , R i に対応してヒューズ用 MOS トランジスタ SW 1 , SW 2 , … SW i − 1 , SW i が並列に接続されている。

【手続補正 17】

【補正対象書類名】 明細書
【補正対象項目名】 0 2 1 7
【補正方法】 変更
【補正の内容】
【0 2 1 7】

ヒューズ用 MOS トランジスタ SW 1 , SW 2 , … SW i − 1 , SW i のオンとオフを切り替えるための読出し回路 8 7 及び不揮発性メモリセル 8 9 が設けられている。読出し回路 8 7 の出力は対応するヒューズ用 MOS トランジスタ SW 1 , SW 2 , … SW i − 1 , SW i のゲートに接続されている。不揮発性メモリセル 8 9 には複数のメモリセルが配置されており、ヒューズ用 MOS トランジスタ SW 1 , SW 2 , … SW i − 1 , SW i をオン又はオフする情報が記憶されている。読出し回路 8 7 は不揮発性メモリセル 8 9 の記憶状態に応じてヒューズ用 MOS トランジスタ SW 1 , SW 2 , … SW i − 1 , SW i をオン又はオフさせる。

【手続補正 18】

【補正対象書類名】 明細書
【補正対象項目名】 0 2 2 0
【補正方法】 変更
【補正の内容】
【0 2 2 0】

抵抗値調整用抵抗素子 R 1 , R 2 , … R i − 1 , R i に対応してヒューズ用 MOS トランジスタ SW 1 , SW 2 , … SW i − 1 , SW i が並列に接続されている。ヒューズ用 MOS トランジスタ SW 1 , SW 2 , … SW i − 1 , SW i に読出し回路 8 7 が接続されている。読出し回路 8 7 に不揮発性メモリセル 8 9 が接続されている。

【手続補正 19】

【補正対象書類名】 明細書
【補正対象項目名】 0 2 2 3
【補正方法】 変更
【補正の内容】
【0 2 2 3】

電圧検出回路 9 1 において、高電圧検出状態では発振防止用抵抗素子 R H はオフ状態であり、入力端子 9 3 から入力される測定すべき端子の電圧が高く、分割抵抗 8 1 と分割抵抗 8 3 及び発振防止用抵抗素子 R H により分割された電圧が基準電圧 V ref よりも高いときは演算増幅器 7 7 の出力が論理値 0 を維持し、その出力はインバータ 9 5 により反転され論理値 1 にされて出力端子 9 7 から出力される。このとき演算増幅器 7 7 の反転入力端子に入力される分割電圧は、

$$\frac{\{(R_0) + (R_H)\}}{\{(R_1) + (R_2) \cdots + (R_{i-1}) + (R_i) + (R_0) + (R_H)\}} \times (V_{sens})$$

である。

【手続補正20】

【補正対象書類名】 明細書
【補正対象項目名】 0 2 2 6
【補正方法】 変更
【補正の内容】
【0 2 2 6】

電圧検出回路91の低電圧検出状態における演算増幅器77の反転入力端子に入力される分割電圧は、

$$(R_0) / \{(R_1) + (R_2) \cdots + (R_{i-1}) + (R_i) + (R_0)\} \times (V_{sens})$$

である。電圧検出回路91を高電圧検出状態するための解除電圧は、低電圧検出状態における演算増幅器77の反転入力端子に入力される分割電圧が基準電圧 V_{ref} よりも大きくなる入力電圧 V_{sens} である。

【手続補正21】

【補正対象書類名】 明細書
【補正対象項目名】 0 2 2 7
【補正方法】 変更
【補正の内容】
【0 2 2 7】

図37及び図38に示した実施例において、読出し回路87、基準電圧発生回路75及び演算増幅器77を構成するMOSトランジスタ、並びに、ヒューズ用MOSトランジスタSW1, SW2, \cdots SWi-1, SWi及び発振防止用ヒューズ用MOSトランジスタSWHとして、本発明の半導体装置を構成する周辺回路トランジスタが用いられる。ただし、上記のMOSトランジスタの全部に本発明の半導体装置を構成する周辺回路トランジスタが用いられている必要はない。

【手続補正22】

【補正対象書類名】 明細書
【補正対象項目名】 0 2 2 8
【補正方法】 変更
【補正の内容】
【0 2 2 8】

図37及び図38に示した実施例では、読出し回路87及び不揮発性メモリセル89の制御により、ヒューズ用MOSトランジスタSW1, SW2, \cdots SWi-1, SWiのオンとオフを選択して、分割抵抗81の抵抗値を調整することができる。これにより、定電圧発生回路90の出力電圧及び電圧検出回路91の出力電圧について設定電圧を調整することができる。

【手続補正23】

【補正対象書類名】 明細書
【補正対象項目名】 0 2 2 9
【補正方法】 変更
【補正の内容】
【0 2 2 9】

従来の定電圧発生回路及び電圧検出回路では、ヒューズ用MOSトランジスタSW1, SW2, \cdots SWi-1, SWi、読出し回路87及び不揮発性メモリセル89に代えて、抵抗値調整用抵抗素子R1, R2, \cdots Ri-1, Riごとにポリシリコン又は金属材料からなるヒューズが並列に接続され、ヒューズを切断することにより分割抵抗の抵抗値を調整していた。

【手続補正24】

【補正対象書類名】 明細書
【補正対象項目名】 0230
【補正方法】 変更
【補正の内容】
【0230】

図37及び図38に示した実施例では、読出し回路87及び不揮発性メモリセル89の制御により、ヒューズでは困難であった一度オフ状態にしたスイッチ（ヒューズ用MOSトランジスタSW1，SW2，…SWi-1，SWi）を再度オン状態にすることができるので、定電圧発生回路90の出力電圧及び電圧検出回路91の出力電圧について設定電圧の変更を自由に行なうことができる。

【手続補正25】

【補正対象書類名】 明細書
【補正対象項目名】 0231
【補正方法】 変更
【補正の内容】
【0231】

さらに、不揮発性メモリセル89への書込みによりヒューズ用MOSトランジスタSW1，SW2，…SWi-1，SWiのオン状態又はオフ状態を切り替えることができるので、半導体装置をパッケージに収容した後でも、定電圧発生回路90の出力電圧及び電圧検出回路91の出力電圧について設定電圧の調整及び変更を行なうことができる。

出願人履歴

0 0 0 0 0 6 7 4 7

20020517

住所変更

東京都大田区中馬込1丁目3番6号

株式会社リコー